

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**



①9 BUNDESREPUBLIK
DEUTSCHLAND



DEUTSCHES
PATENT- UND
MARKENAMT

⑫ **Off nl gungsschrift**
⑩ **DE 100 32 311 A 1**

⑤1 Int. Cl. 7:
H 01 L 27/105
H 01 L 21/8239

②1 Aktenzeichen: 100 32 311.1
②2 Anmeldetag: 4. 7. 2000
④3 Offenlegungstag: 22. 2. 2001

DE 100 32 311 A 1

③0 Unionspriorität:
26871 05. 07. 1999 KR

⑦1 Anmelder:
Hyundai Electronics Industries Co., Ltd., Ichon,
Kyoungki, KR

⑦4 Vertreter:
TER MEER STEINMEISTER & Partner GbR
Patentanwälte, 81679 München

⑦2 Erfinder:
Kang, Hee Bok, Daejeon, KR; Lee, Jun Sik,
Chungcheongbuk, KR

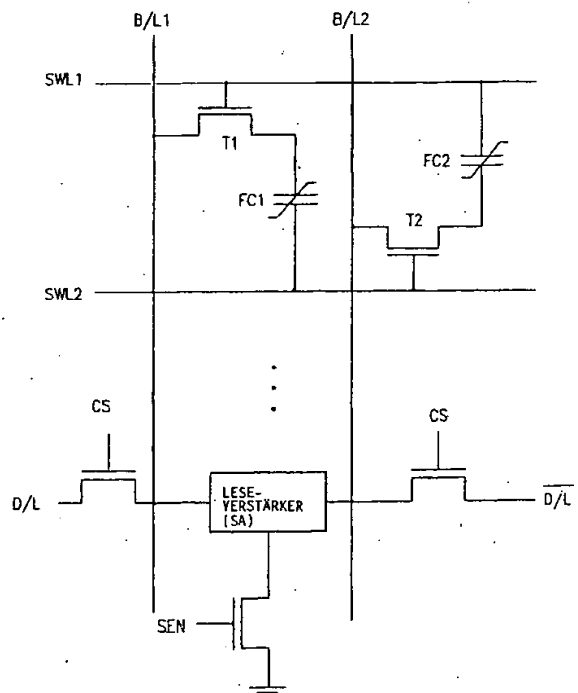
Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen

Prüfungsantrag gem. § 44 PatG ist gestellt

⑤4 Nichtflüchtiger ferroelektrischer Speicher und Herstellverfahren für denselben

⑤7 Es werden ein nichtflüchtiger ferroelektrischer Speicher und ein Verfahren zu dessen Herstellung angegeben, wobei die Kapazität eines Speicherzellenkondensators durch maximale Fläche desselben erhöht ist und wobei Prozessschritte durch Vereinfachen des Layoutdesigns vereinfacht sind.

Der erfindungsgemäße nichtflüchtige ferroelektrische Speicher ist mit Folgendem versehen: ersten und zweiten Teilwortleitungen (SWL1, SWL2), die mit einem bestimmten Intervall in einer Richtung ausgebildet sind; ersten und zweiten Bitleitungen (B/L1, B/L2), die die ersten und zweiten Teilwortleitungen schneidend mit einem bestimmten Intervall ausgebildet sind; ersten und zweiten Source/Drain-Fremdstoffbereichen, die jeweils zu beiden Seiten der ersten und zweiten Teilwortleitungen ausgebildet sind; einem ersten ferroelektrischen Kondensator (FC1), der auf der zweiten Teilwortleitung ausgebildet ist und eine mit dem ersten Sourcefremdstoffbereich elektrisch verbundene untere Elektrode und eine mit der zweiten Teilwortleitung verbundene obere Elektrode aufweist; und einem zweiten ferroelektrischen Kondensator (FC2), der auf der ersten Teilwortleitung ausgebildet ist und eine mit dem zweiten Sourcefremdstoffbereich elektrisch verbundene untere Elektrode und eine mit der ersten Teilwortleitung verbundene obere Elektrode aufweist.



DE 100 32 311 A 1

Die Erfindung betrifft einen nichtflüchtigen Speicher, speziell einen nichtflüchtigen ferroelektrischen Speicher sowie ein Verfahren zu dessen Herstellung, die für wirkungsvolles Layoutdesign und Verringerung der Zellengröße geeignet sind.

Im Allgemeinen verfügt ein nichtflüchtiger ferroelektrischer Speicher, d. h. ein ferroelektrischer Direktzugriffsspeicher (FRAM), über eine Datenverarbeitungsgeschwindigkeit, die derjenigen eines dynamischen Direktzugriffsspeichers (DRAM) entspricht, und er hält Daten sogar im Zustand ohne Spannung aufrecht. Aus diesem Grund haben nichtflüchtige ferroelektrische Speicher viel Aufmerksamkeit als Speicher der nächsten Generatoren auf sich gezogen.

FRAMs und DRAMs sind Speicher mit beinahe gleichen Strukturen, und sie beinhalten einen ferroelektrischen Kondensator mit hoher Restpolarisation. Diese Restpolarisation erlaubt es, dass Daten auch dann nicht gelöscht werden, wenn ein elektrisches Feld weggenommen wird.

Nachfolgend wird ein nichtflüchtiger ferroelektrischer Speicher der Kürze halber im Allgemeinen nur als Speicher bezeichnet.

Fig. 1 zeigt die Hystereseschleife eines üblichen Ferroelektrikums. Wie es in Fig. 1 dargestellt ist, werden selbst dann, wenn das elektrische Feld weggenommen wird, das einen Polarisationszustand organisiert hat, Daten in bestimmtem Umfang (Zustände d und a) aufrechterhalten, ohne dass sie gelöscht werden, und zwar wegen des Vorliegens von Restpolarisation (oder spontaner Polarisation).

Eine nichtflüchtige ferroelektrische Speicherzelle wird dadurch als Speicher verwendet, dass dafür gesorgt wird, dass die Zustände d, a den Werten 1 bzw. 0 entsprechen.

Unter Bezugnahme auf die beigelegten Zeichnungen wird nun eine Ansteuerschaltung für einen bekannten Speicher beschrieben.

Fig. 2 zeigt eine Einheitszelle eines solchen Speichers.

Wie es in Fig. 2 dargestellt ist, beinhaltet dieser Speicher eine in einer Richtung ausgebildete Bitleitung B/L, eine Wortleitung W/L, die so ausgebildet ist, dass sie die Bitleitung schneidet, eine von der Wortleitung in derselben Richtung wie eine Wortleitung beabstandete Plattenleitung P/L, einen Transistor T1, dessen Gate mit der Wortleitung verbunden ist und dessen Source mit der Bitleitung verbunden ist, und einen ferroelektrischen Kondensator FC1, dessen erster Anschluss mit dem Drain des Transistors T1 verbunden ist und dessen zweiter Anschluss mit der Plattenleitung P/L verbunden ist.

Nachfolgend wird ein Daten-Eingabe/Ausgabe-Vorgang bei diesem bekannten Speicher beschrieben.

Fig. 3a ist ein zeitbezogenes Diagramm zum Veranschaulichen des Betriebs des bekannten Speichers im Schreibmodus und

Fig. 3b ist ein entsprechendes Diagramm zum Veranschaulichen des Betriebs im Lesemodus.

Im Fall des Schreibmodus wird ein extern angelegtes Chipfreigabesignal CSBpad vom hohen in den niedrigen Zustand aktiviert. Wenn zum selben Zeitpunkt ein Schreibfreigabesignal WEBpad vom hohen in den niedrigen Zustand überführt wird, startet der Schreibmodus.

Anschließend wird, wenn Adressendecodierung im Schreibmodus beginnt, ein an eine entsprechende Wortleitung angelegter Impuls vom niedrigen in den hohen Zustand überführt, wodurch eine Zelle ausgewählt wird.

An eine entsprechende Plattenleitung werden in einer Periode, in der die Wortleitung hoch ist, ein hohes Signal in einer bestimmten Periode und ein niedriges Signal in einer bestimmten Periode sequenziell angelegt.

Um den logischen Wert "1" oder "0" in die ausgewählte Zelle einzuschreiben, wird an eine entsprechende Bitleitung ein hohes Signal oder ein niedriges Signal, das mit dem Schreibfreigabesignal WEBpad synchronisiert wird, angelegt. Anders gesagt, wird ein hohes Signal an die Bitleitung angelegt, und wenn das an die Plattenleitung angelegte Signal in einer Periode, in der das an die Wortleitung angelegte Signal hoch ist, niedrig ist, wird der logische Wert "1" in den ferroelektrischen Kondensator eingeschrieben.

Es wird ein niedriges Signal an die Bitleitung angelegt, und wenn das an die Plattenleitung angelegte Signal hoch ist, wird der logische Wert "0" in den ferroelektrischen Kondensator eingeschrieben.

Nachfolgend wird der Lesevorgang für Daten beschrieben, die durch den obigen Vorgang im Schreibmodus in eine Zelle eingespeichert wurden.

Wenn das von außen angelegte Chipfreigabesignal CSBpad vom hohen in den niedrigen Zustand aktiviert wird, erhalten alle Bitleitungen durch ein Ausgleichssignal dasselbe niedrige Potenzial, bevor eine entsprechende Wortleitung ausgewählt wird.

Dann wird die entsprechende Bitleitung inaktiv, und es wird eine Adresse decodiert. Das niedrige Signal wird in der entsprechenden Wortleitung durch die decodierte Adresse in ein hohes Signal überführt, so dass die entsprechende Zelle ausgewählt wird.

Das hohe Signal wird an die Plattenleitung der ausgewählten Zelle gelegt, um einen im ferroelektrischen Speicher gespeicherten, dem logischen Wert "1" entsprechenden Datenwert zu zerstören.

Wenn der logische Wert "0" im ferroelektrischen Speicher gespeichert ist, wird der entsprechende Datenwert nicht zerstört.

Der zerstörte Datenwert und der nicht zerstörte Datenwert werden wegen des oben genannten Prinzips mit der Hystereseschleife als verschiedene Werte ausgegeben, so dass ein Leseverstärker den logischen Wert "1" oder "0" erfasst.

Anders gesagt, wird beim Zerstören des Datenwerts der Zustand "d" in den Zustand "f" überführt, wie es durch die Hystereseschleife der Fig. 1 dargestellt ist. Wenn der Datenwert nicht zerstört wird, wird der Zustand "a" in den Zustand "f" überführt. Demgemäß wird, wenn der Leseverstärker aktiviert wird, nachdem eine bestimmte Zeit verstrichen ist, der logische Wert "1" ausgegeben, wenn der Datenwert zerstört ist, während der logische Wert "0" ausgegeben wird, wenn der Datenwert nicht zerstört ist.

Wie oben angegeben, wird, nachdem der Leseverstärker Daten ausgegeben hat, die Plattenleitung vom hohen Zustand in den niedrigen Zustand deaktiviert, um den Datenwert auf den ursprünglichen Datenwert wieder herzustellen, und zwar im Zustand, in dem das hohe Signal an die entsprechende Wortleitung angelegt wird.

Nun werden die Struktur des obigen bekannten Speichers und ein Herstellverfahren für denselben beschrieben.

Fig. 4a ist ein Layout eines bekannten Speichers. Wie es in Fig. 4a dargestellt ist, beinhaltet dieser bekannte Speicher einen ersten aktiven Bereich 41 und einen zweiten aktiven Bereich 41a, die symmetrisch beabstandet voneinander ausgebildet sind; eine zweite Wortleitung W/L1, die über den ersten aktiven Bereich 41 hinweg ausgebildet ist; eine zweite Wortleitung W/L2, die über den zweiten aktiven Bereich 41a hinweg ausgebildet ist und von der ersten Wortleitung W/L1 beabstandet ist; eine erste Bitleitung B/L1, die über die erste und zweite Wortleitung hinweg an einer Seite des ersten aktiven Bereichs 41 ausgebildet ist; eine zweite Bitleitung B/L2, die über die erste und zweite Wortleitung an einer Seite des zweiten aktiven Bereichs 41a ausgebildet ist; einen ersten ferroelektrischen Kondensator FC1, der

elektrisch mit dem ersten aktiven Bereich verbunden ist und auf der ersten und zweiten Wortleitung W/L1 und W/L2 ausgebildet ist; einen zweiten ferroelektrischen Kondensator FC2, der elektrisch mit dem zweiten aktiven Bereich 41a verbunden ist Halbleiterspeicher und auf der ersten und zweiten Wortleitung W/L1 und W/L2 ausgebildet ist; eine erste Plattenleitung P/L1, die elektrisch mit dem ersten ferroelektrischen Kondensator FC1 verbunden ist und auf der ersten Wortleitung W/L1 ausgebildet ist; und eine zweite Plattenleitung P/L2, die elektrisch mit dem zweiten ferroelektrischen Kondensator FC2 verbunden ist und auf der zweiten Wortleitung W/L2 ausgebildet ist.

Fig. 4a ist das Layout eines bekannten Speichers, der auf einer Einheitszelle beruht. Bei einem derartigen bekannten Speicher sind ein erster und zweiter Kondensator FC1 und FC2 entlang einer Bitleitung ausgebildet, die erste Plattenleitung P/L1 ist auf der ersten Wortleitung W/L1 ausgebildet, und die zweite Plattenleitung P/L2 ist auf der zweiten Wortleitung W/L2 ausgebildet.

Nun wird dieser bekannte Speicher unter Bezugnahme auf Fig. 4b im Einzelnen beschrieben. Fig. 4b ist eine Schnittansicht zum Veranschaulichen des bekannten Speichers entlang der Linie I-I' in Fig. 4a. Wie es in Fig. 4b dargestellt ist, beinhaltet der bekannte Speicher ein Substrat 51, in dem ein aktiver Bereich und ein Feldbereich ausgebildet sind; eine erste Wortleitung 54 und eine zweite Wortleitung 54a, die auf einer ersten Isolierschicht 53 auf dem aktiven Bereich und dem Feldbereich ausgebildet sind; erste Source/Drain-Fremdstoffbereiche 55 und 56, die zu beiden Seiten der ersten Wortleitung 54 ausgebildet sind; zweite Source/Drain-Fremdstoffbereiche (nicht dargestellt), die zu beiden Seiten der zweiten Wortleitung 54a ausgebildet sind; eine zweite Isolierschicht 57, die auf der gesamten Fläche einschließlich der ersten und zweiten Wortleitung 54 und 54a ausgebildet ist und ein Kontaktloch aufweist, um den ersten Drainfremdstoffbereich 56 freizulegen; eine erste Kontaktpfropfschicht 58a, die in das Kontaktloch eingebettet ist; eine erste Metallschicht 59 zum Verbinden der ersten Kontaktpfropfschicht 58a mit einer ersten Bitleitung (nicht dargestellt); eine dritte Isolierschicht 60, die auf der gesamten Fläche einschließlich der ersten Metallschicht 59 ausgebildet ist und ein Kontaktloch zum Freilegen des ersten Sourcefremdstoffbereichs 55 aufweist; eine zweite Kontaktpfropfschicht 62, die in das Kontaktloch eingebettet ist; eine Barrieremetallschicht 63, die elektrisch mit der zweiten Kontaktpfropfschicht 62 verbunden ist und auf der ersten Wortleitung 54 und der zweiten Wortleitung 54a ausgebildet ist; eine untere Elektrode 64 des ersten ferroelektrischen Kondensators FC1, die auf der Barrieremetallschicht 63 ausgebildet ist; einen ferroelektrischen Film 65 und eine obere Elektrode 66 des zweiten ferroelektrischen Kondensators, die sequenziell auf der unteren Elektrode 64 des ersten ferroelektrischen Kondensators abgeschieden sind; eine vierte Isolierschicht 67, die auf der gesamten Fläche einschließlich der oberen Elektrode 66 des zweiten ferroelektrischen Kondensators ausgebildet ist; eine erste Plattenleitung 68, die elektrisch mit der oberen Elektrode 66 des ersten ferroelektrischen Kondensators FC1 über die vierte Isolierschicht 67 verbunden ist und an einer Position ausgebildet ist, die der Oberseite der ersten Wortleitung 54 entspricht; und eine zweite Plattenleitung 68a, die an einer der Oberseite der zweiten Wortleitung 54a entsprechenden Position ausgebildet ist und von der ersten Plattenleitung 68 beabstandet ist.

Nun wird unter Bezugnahme auf die Fig. 5a bis 5d ein Verfahren zum Herstellen des obigen bekannten Speichers beschrieben.

Die Fig. 5a bis 5d sind Schnittansichten zum Veranschau-

lichen dieses Verfahrens, die entlang der Linie I-I' der Fig. 4a gebildet sind.

Wie es in Fig. 5a dargestellt ist, wird ein Halbleitersubstrat 51 partiell geätzt, um einen Graben auszubilden, und dann wird in diesen Graben eine Isolierschicht eingebettet, um eine Bauteil-Isolierschicht 52 zu erzeugen.

Auf dem Substrat 51 wird in einem die Bauteil-Isolierschicht 52 enthaltenden aktiven Bereich eine erste Isolierschicht 53 hergestellt. Auf der ersten Isolierschicht 53 wird eine Wortleitungs-Materialschicht hergestellt und dann strukturiert, um erste und zweite Wortleitungen 54 und 54a auszubilden, die voneinander beabstandet sind.

Wie es in Fig. 5b dargestellt ist, werden durch Ionenimplantation von Fremdstoffen unter Verwendung der Wortleitungen 54 und 54a als Masken Source- und Drainfremdstoffbereiche 55 und 56 mit einem Leitungstyp entgegengesetzt zu dem des Substrats 51 ausgebildet.

Die Source/Drain-Fremdstoffbereiche 55 und 56 sind Source/Drain-Fremdstoffbereiche eines ersten Transistors T1, der die erste Wortleitung 54 als Gateelektrode verwendet.

Danach wird eine zweite Isolierschicht 55 auf der gesamten Oberfläche des Substrats 51 einschließlich der ersten und zweiten Wortleitungen 54 und 54a hergestellt. Dann wird ein Photoresist (nicht dargestellt) auf die zweite Isolierschicht 55 aufgetragen und strukturiert. Die zweite Isolierschicht 55 wird durch einen Ätzprozess unter Verwendung des strukturierten Photoresists als Maske selektiv entfernt, um den Drainfremdstoffbereich 56 unter Ausbildung eines Kontaktlochs 58 freizulegen.

Wie es in Fig. 5c dargestellt ist, wird in das Kontaktloch ein leitendes Material eingebettet, um eine erste Kontaktpfropfschicht 58a zu bilden, und es wird eine erste Metallschicht 59 zum Verbinden der ersten Kontaktpfropfschicht 58a mit der ersten Bitleitung B/L1 hergestellt. Dabei wird die zweite Bitleitung B/L2 mit dem Drainfremdstoffbereich eines zweiten Transistors T2 (nicht dargestellt) elektrisch verbunden.

Anschließend wird, wie es in Fig. 5d dargestellt ist, eine dritte Isolierschicht 60 auf der gesamten Oberfläche einschließlich der ersten Metallschicht 59 hergestellt. Auf der dritten Isolierschicht 60 wird ein Photoresist (nicht dargestellt) abgeschieden und dann strukturiert. Die dritte Isolierschicht 60 wird durch einen Ätzprozess unter Verwendung des strukturierten Photoresists als Maske selektiv entfernt, um den Sourcefremdstoffbereich freizulegen, wobei ein Kontaktloch 61 ausgebildet wird.

Wie es in Fig. 5e dargestellt ist, wird ein leitendes Material in das Kontaktloch 61 eingebettet, um eine zweite Kontaktpfropfschicht 62 herzustellen, die elektrisch mit dem Sourcefremdstoffbereich 55 verbunden ist.

Dann wird eine Barrieremetallschicht 63 so hergestellt, dass sie elektrisch mit der zweiten Kontaktpfropfschicht 62 verbunden ist. Eine untere Elektrode 64 eines ersten ferroelektrischen Kondensators FC1, ein ferroelektrischer Film 65 und eine obere Elektrode 66 des ersten ferroelektrischen Kondensators werden sequenziell auf der Barrieremetallschicht 63 hergestellt.

Wie es in Fig. 5f dargestellt ist, wird auf der oberen Elektrode 66 des ersten ferroelektrischen Kondensators eine vierte Isolierschicht 67 hergestellt. Diese vierte Isolierschicht 67 wird dann durch einen Photolithographieprozess selektiv geätzt, um die obere Elektrode 66 des ersten ferroelektrischen Kondensators wahlweise so freizulegen, dass ein Kontaktloch ausgebildet wird. Abschließend wird eine erste Plattenleitung 68 hergestellt, die durch das Kontaktloch elektrisch mit der oberen Elektrode 66 des ersten ferroelektrischen Kondensators verbunden ist. Als Ergebnis ist

das Verfahren zum Herstellen des bekannten Speichers abgeschlossen. Mit der nicht beschriebenen Bezugszahl 68a ist eine zweite Plattenleitung gekennzeichnet.

Bei diesem bekannten Speicher und dem Herstellungsverfahren für denselben bestehen jedoch verschiedene Probleme.

Um für ausreichende Kapazität zu sorgen, muss die untere Elektrode des Kondensators große Dicke aufweisen. Wenn jedoch diese untere Elektrode zu dick hergestellt wird, ist es schwierig, sie zu ätzen, da sie aus einem Metallmaterial besteht. Aus diesem Grund besteht eine Begrenzung hinsichtlich der Sicherstellung der Kapazität.

Außerdem ist nicht für ausreichend Raum zum Herstellen der Plattenleitung gesorgt, da die Wortleitung und die Plattenleitung in einer Einheitszelle ausgebildet werden, wobei die Wortleitung einer benachbarten Zelle und die Bitleitung voneinander getrennt sind. Da die Plattenleitung auf derart engem Raum auszubilden ist, sind schwierige Prozessschritte erforderlich.

Der Erfindung liegt die Aufgabe zugrunde, einen nichtflüchtigen ferroelektrischen Speicher und ein Verfahren zu dessen Herstellung anzugeben, die für maximale Fläche des Kondensators und einfache Prozessschritte durch vereinfachtes Layoutdesign sorgen.

Diese Aufgabe ist hinsichtlich des Speichers durch die Lehren der beigefügten unabhängigen Ansprüche 1 und 5 und hinsichtlich des Verfahrens durch die Lehren der beigefügten unabhängigen Ansprüche 7 und 15 gelöst.

Zusätzliche Merkmale und Aufgaben der Erfindung werden in der folgenden Beschreibung dargelegt und gehen teilweise aus dieser hervor, ergeben sich aber andererseits auch beim Ausüben der Erfindung. Die Aufgaben und andere Vorteile der Erfindung werden durch die Maßnahmen erzielt, wie sie speziell in der Beschreibung, den Ansprüchen und den beigefügten Zeichnungen dargelegt sind.

Es ist zu beachten, dass sowohl die vorstehende allgemeine Beschreibung als auch die folgende detaillierte Beschreibung beispielhaft und erläuternd für die beanspruchte Erfindung sind.

Die Zeichnungen, die beigefügt sind, um das Verständnis der Erfindung zu fördern, veranschaulichen Ausführungsbeispiele der Erfindung und dienen zusammen mit der Beschreibung dazu, deren Prinzipien zu erläutern.

Es gilt auch weiterhin, dass ein nichtflüchtiger ferroelektrischer Speicher der Kürze halber im Allgemeinen nur als Speicher bezeichnet wird.

Fig. 1 zeigt die Hystereseschleife eines üblichen Ferroelektrikums;

Fig. 2 zeigt ein Schaltbild eines bekannten Speichers;

Fig. 3a und 3b sind Ansteuerschaltungen eines bekannten Speichers;

Fig. 4a ist ein Layout eines bekannten Speichers;

Fig. 4b ist eine Schnittansicht entlang der Linie I-I' in Fig. 4a;

Fig. 5a bis 5f sind Schnittansichten zum Veranschaulichen eines bekannten Verfahrens zum Herstellen eines Speichers;

Fig. 6 und 7 sind Schaltbilder erfindungsgemäßer Speicher;

Fig. 8 ist ein zeitbezogenes Diagramm zum Veranschaulichen des Betriebs eines erfindungsgemäßen Speichers;

Fig. 9 ist ein Layout eines erfindungsgemäßen Speichers;

Fig. 10a ist eine Schnittansicht entlang der Linie I-I' in Fig. 9;

Fig. 10b ist eine Schnittansicht entlang der Linie II-II' in Fig. 9;

Fig. 11a bis 11i sind Layouts eines erfindungsgemäßen Speichers und

Fig. 12a bis 12i sind Schnittansichten zum Veranschauli-

chen eines Verfahrens zum Herstellen eines Speichers, die entlang der Linie I-I' in den Fig. 11a bis 11i gebildet sind.

Nun wird im Einzelnen auf bevorzugte Ausführungsformen der Erfindung Bezug genommen, zu denen Beispiele in den beigefügten Zeichnungen veranschaulicht sind.

Unter Bezugnahme auf die beigefügten Zeichnungen werden nun ein Speicher und ein Verfahren zu dessen Herstellung gemäß der Erfindung beschrieben.

Wie es in Fig. 6 dargestellt ist, verfügt ein erfindungsgemäßer Speicher über erste und zweite Teilwortleitungen SWL1 und SWL2, die mit einem bestimmten Intervall in Zeilenrichtung ausgebildet sind; erste und zweite Bitleitungen B/L1 und B/L2, die die ersten und zweiten Teilwortleitungen SWL1 und SWL2 schneidend ausgebildet sind; einen ersten Transistor T1, dessen Gate mit der ersten Teilwortleitung SWL1 verbunden ist und dessen Drain mit der ersten Bitleitung B/L1 verbunden ist; einen ersten ferroelektrischen Kondensator FC1, der zwischen die Source des ersten Transistors T1 und die zweite Teilwortleitung SWL2 geschaltet ist; einen zweiten Transistor T2, dessen Gate mit der zweiten Teilwortleitung SWL2 verbunden ist und dessen Drain mit der zweiten Bitleitung B/L2 verbunden ist, und einen zweiten ferroelektrischen Kondensator FC2, der zwischen die Source des zweiten Transistors T2 und die erste Teilwortleitung SWL1 geschaltet ist.

Wie es in Fig. 7 dargestellt ist, sind bei einem Speicher mehrere Teilwortleitungspaare, die paarweise eine erste und zweite Teilwortleitung SWL1 und SWL2 enthalten, in Zeilenrichtung ausgebildet. Mehrere Bitleitungen B/L1 und B/L2, die paarweise zwei benachbarte Bitleitungen enthalten, sind die Teilwortleitungspaare schneidend ausgebildet. Zwischen den Bitleitungspaaren sind Leseverstärker SA ausgebildet, die über die Bitleitungen übertragene Daten erfassen und diese Daten an eine Datenleitung DL oder eine Inversdatenleitung JDL übertragen. Dabei sind ferner ein Freigabeabschnitt SEN zum Freigeben der Leseverstärker SA und ein Auswahlabschnitt CS zum selektiven Schalten von Bitleitungen und Datenleitungen vorhanden.

Nun wird die Funktion des erfindungsgemäßen Speichers unter Bezugnahme auf das in Fig. 8 dargestellte Zeitdiagramm beschrieben.

Die Periode T0 in Fig. 8 bezeichnet die Periode, bevor die erste Teilwortleitung SWL1 und die zweite Teilwortleitung SWL2 auf "Hoch(H)" aktiviert werden. In dieser Periode T0 werden alle Bitleitungen auf ein bestimmtes Niveau vorge-

laden. Die Periode T1 bezeichnet eine Periode, in der die ersten und zweiten Teilwortleitungen SWL1 und SWL2 alle den Wert "H" erhalten. In dieser Periode T1 werden Daten des ferroelektrischen Kondensators an die Bitleitung übertragen, so dass der Bitleitungspegel variiert.

Dabei wird im Fall eines ferroelektrischen Kondensators mit dem logischen Wert "Hoch" die Polarität des Ferroelektrikums zerstört, da elektrische Felder mit entgegengesetzten Polaritäten an die Bitleitung und die Teilwortleitung angelegt werden, so dass ein großer Strom fließt, um dadurch eine hohe Spannung in der Bitleitung hervorzurufen.

Andererseits wird dann, wenn der ferroelektrische Kondensator den logischen Wert "Niedrig" enthält, die Polarität des Ferroelektrikums nicht zerstört, da elektrische Felder mit denselben Polaritäten an die Bitleitung und die Teilwortleitung angelegt werden, so dass ein kleiner Strom fließt, um dadurch eine niedrige Spannung in der Bitleitung zu erzeugen.

Wenn die Zellen Daten in ausreichender Weise in die Bitleitung geladen sind, wird das Leseverstärker-Freigabesignal SEN auf Hoch überführt, um den Leseverstärker zu aktivieren. Im Ergebnis wird der Bitleitungspegel verstärkt.

Da der logische Datenwert "H" der Zelle mit zerstörtem Inhalt im Zustand nicht wiederhergestellt werden kann, in dem sich die erste und zweite Teilwortleitung SWL1 und SWL2 auf Hoch befinden, kann der Datenwert erst in Periode T2 und T3 wiederhergestellt werden.

Anschließend, in der Periode T2, wird die erste Teilwortleitung SWL1 auf Niedrig überführt, die zweite Teilwortleitung SWL2 wird im hohen Zustand gehalten und der zweite Transistor T2 wird eingeschaltet. Wenn dabei die entsprechende Bitleitung hoch ist, wird ein hoher Datenwert an eine Elektrode des zweiten ferroelektrischen Kondensators FC2 übertragen, so dass der Logikwert "1" zwischen dem niedrigen Zustand der ersten Teilwortleitung SWL1 und dem hohen Zustand der Bitleitung wiederhergestellt wird.

In der Periode T3 wird die erste Teilwortleitung SWL1 auf Hoch überführt, die zweite Teilwortleitung SWL2 wird auf Niedrig überführt, und der erste Transistor T1 wird eingeschaltet. Wenn dabei die entsprechende Bitleitung hoch ist, wird ein hoher Datenwert an eine Elektrode des ersten ferroelektrischen Kondensators FC1 übertragen, so dass der Logikwert "1" zwischen dem hohen Pegel der zweiten Teilwortleitung SWL2 wiederhergestellt wird.

Fig. 9 zeigt das Layout eines erfindungsgemäßen Speichers.

Wie es in Fig. 9 dargestellt ist, beinhaltet dieser Speicher erste und zweite aktive Bereiche 91 und 91a, die mit einem bestimmten Intervall asymmetrisch ausgebildet sind; eine erste Teilwortleitung SWL1, die über den ersten aktiven Bereich 91 hinweg ausgebildet ist; eine zweite Teilwortleitung SWL2, die über den zweiten aktiven Bereich 91a hinweg ausgebildet ist; eine erste Bitleitung B/L1, die auf dem Feldbereich zwischen dem ersten und zweiten aktiven Bereich 91 und 91a über die erste und zweite Teilwortleitung SWL1 und SWL2 hinweg ausgebildet ist; eine zweite Bitleitung B/L2, die auf dem Feldbereich auf einer Seite des zweiten aktiven Bereichs 91a über die erste und zweite Teilwortleitung SWL1 und SWL2 ausgebildet ist; einen ersten ferroelektrischen Kondensator FC1, der auf der zweiten Teilwortleitung SWL2 angrenzend an den ersten aktiven Bereich 91 ausgebildet ist; und einen zweiten ferroelektrischen Kondensator FC2, der auf der ersten Teilwortleitung SWL1 angrenzend an die erste und zweite Bitleitung B/L1 und B/L2 zwischen diesen ausgebildet ist.

Die erste Teilwortleitung SWL1 wirkt als Gateelektrode des ersten Transistors T1, und die zweite Teilwortleitung SWL2 wirkt als Gateelektrode des zweiten Transistors T2.

Die untere Elektrode des ersten ferroelektrischen Kondensators FC1 ist elektrisch mit dem ersten aktiven Bereich 91 verbunden, und die untere Elektrode des zweiten ferroelektrischen Kondensators FC2 ist elektrisch mit dem aktiven Bereich 91a verbunden.

Die obere Elektrode des ersten ferroelektrischen Kondensators FC1 ist elektrisch mit der zweiten Teilwortleitung SWL2 verbunden, und die obere Elektrode des zweiten ferroelektrischen Kondensators FC2 ist elektrisch mit der ersten Teilwortleitung SWL1 verbunden.

Die Sources des ersten und zweiten Transistors T1 und T2 sind elektrisch mit der unteren Elektrode des ersten ferroelektrischen Kondensators FC1 verbunden, und die untere Elektrode des zweiten ferroelektrischen Kondensators FC2 ist über die ersten Kontaktpfropfschichten 102 und 102a angeschlossen.

Die Drains des ersten und zweiten Transistors T1 und T2 sind elektrisch mit der ersten und zweiten Bitleitung B/L1 und B/L2 verbunden.

Fig. 10a ist eine Schnittansicht eines erfindungsgemäßen Speichers entlang der Linie I-I' in Fig. 9.

Wie es in Fig. 10a dargestellt ist, beinhaltet dieser Spei-

cher ein Halbleitersubstrat 120 von erstem Leitungstyp, in dem ein aktiver Bereich durch eine Bauteil-Isolierschicht 121 festgelegt ist; erste und zweite Teilwortleitungen (SWL1, SWL2) 101 und 101a, die auf einer ersten Isolierschicht 122 ausgebildet sind, die ihrerseits auf dem aktiven Bereich einschließlich der Bauteil-Isolierschicht 121 des Halbleitersubstrats 120 ausgebildet ist, wobei diese Teilwortleitungen in einer Richtung ein bestimmtes Intervall einhalten; erste Source/Drain-Fremdstoffbereiche 123 und 124, die zu beiden Seiten der ersten Teilwortleitungen (SWL1) 101 im Substrat ausgebildet sind; eine zweite Isolierschicht 125, die auf der gesamten Fläche einschließlich der ersten und zweiten Teilwortleitungen 101 und 101a ausgebildet ist; eine erste Kontaktpfropfschicht 102 in Kontakt mit dem ersten Drainfremdstoffbereich 124, die durch die zweite Isolierschicht 125 hindurchgeht und sich in einen Bereich erstreckt, in dem eine erste Bitleitung B/L1 hergestell wird, um elektrisch mit der ersten Bitleitung B/L1 verbunden zu sein (nicht dargestellt); eine dritte Isolierschicht 126, die auf der gesamten Fläche einschließlich der ersten Kontaktpfropfschicht 102 ausgebildet ist; eine dritte Kontaktpfropfschicht 104, die elektrisch mit dem ersten Sourcefremdstoffbereich 123 verbunden ist und durch die erste und zweite Isolierschicht 126 und 125 hindurchgeht; eine erste Kontaktfleckschicht 105, die elektrisch mit der dritten Kontaktpfropfschicht 104 verbunden ist; eine vierte Isolierschicht 127 mit einem Graben zum Freilegen der ersten Kontaktfleckschicht 105; eine erste Barrieremetallschicht 106, die unter dem Graben auf einer Seite desselben ausgebildet ist und mit der ersten Kontaktfleckschicht 105 verbunden ist; eine untere Elektrode 107 des ersten ferroelektrischen Kondensators, die auf der ersten Barrieremetallschicht 106 ausgebildet ist; einen ersten ferroelektrischen Film 108, der auf der unteren Elektrode 107 des ersten ferroelektrischen Kondensators ausgebildet ist; eine obere Elektrode 109 des ersten ferroelektrischen Kondensators, die auf dem ersten ferroelektrischen Film 108 ausgebildet ist; und eine fünfte Isolierschicht 128, die auf der gesamten Fläche einschließlich der oberen Elektrode 109 des ersten ferroelektrischen Kondensators ausgebildet ist.

Die zweite Teilwortleitung (SWL2) 101a und die obere Elektrode 109 des ersten ferroelektrischen Kondensators sind über eine Metallverbindung in einem Randbereich, nicht einem Zellenbereich, elektrisch miteinander verbunden.

Beim obigen Speicher ist der erste ferroelektrische Kondensator FC1 auf der zweiten Teilwortleitung SWL2 entlang der Richtung ausgebildet, in der diese zweite Teilwortleitung SWL2 ausgebildet ist.

Da die untere Elektrode 107 des ersten ferroelektrischen Kondensators FC1 unter dem Graben und zu beiden Seiten desselben ausgebildet ist, ist es möglich, die Kapazität des Kondensators zu erhöhen.

Fig. 10b ist eine Schnittansicht entlang der Linie II-II' in Fig. 9.

Wie es in Fig. 10b dargestellt ist, beinhaltet dieser Speicher ein Halbleitersubstrat 120 von erstem Leitungstyp, in dem ein aktiver Bereich durch eine Bauteil-Isolierschicht 121 festgelegt ist; eine erste Isolierschicht 122, die auf dem Halbleitersubstrat 120 ausgebildet ist; eine erste Teilwortleitung (SWL1) 101, die auf der ersten Isolierschicht 122 ausgebildet ist; eine zweite Isolierschicht 125, die auf der ersten Teilwortleitung SWL1 ausgebildet ist; erste und zweite Bitleitungen (B/L1, B/L2) 103 und 103a, die auf der zweiten Isolierschicht 125, entsprechend der Bauteilisolierschicht 121, mit einem bestimmten Intervall in einer Richtung ausgebildet sind; eine dritte Isolierschicht 126, die auf der gesamten Fläche einschließlich der ersten und zweiten Bitlei-

tungen ausgebildet ist; eine zweite Kontaktfleckschicht 105a, die auf der dritten Isolierschicht 126 zwischen der ersten und zweiten Bitleitung ausgebildet ist; eine vierte Isolierschicht 127, die gesamte Fläche einschließlich der zweiten Kontaktfleckschicht 105a ausgebildet ist und einen Graben zum Freilegen dieser zweiten Kontaktfleckschicht 105a aufweist; eine zweite Barrieremetallschicht 106a, die entlang der Unterseite und zu beiden Seiten des Grabens ausgebildet ist und mit der zweiten Kontaktfleckschicht 105a verbunden ist; eine untere Elektrode 107a des zweiten ferroelektrischen Kondensators, die auf der zweiten Barrieremetallschicht 106a ausgebildet ist; einen zweiten ferroelektrischen Film 108a, der auf der unteren Elektrode 107a des zweiten ferroelektrischen Kondensators ausgebildet ist; eine obere Elektrode 109a des zweiten ferroelektrischen Kondensators, die auf dem zweiten ferroelektrischen Film 108a ausgebildet ist; und eine fünfte Isolierschicht 128, die auf der gesamten Fläche einschließlich der oberen Elektrode 109a des zweiten ferroelektrischen Kondensators ausgebildet ist.

Die erste Teilwortleitung SWL1 und die obere Elektrode 109a des zweiten ferroelektrischen Kondensators FC2 sind elektrisch über eine Metallverbindung im Umfangsbereich, nicht einem Zellenbereich, miteinander verbunden.

In Fig. 10b ist der zweite ferroelektrische Kondensator auf der ersten Teilwortleitung SWL1 entlang der Richtung, in der diese ausgebildet ist, ausgebildet.

Nun wird ein Verfahren zum Herstellen dieses Speichers im Einzelnen beschrieben.

Die Fig. 11a bis 11g sind Layouts eines erfindungsgemäßen Speichers, und die Fig. 12a bis 12g sind Schnittansichten entlang einer Linie I-I' in den Fig. 11a bis 11g.

Wie es in Fig. 11a dargestellt ist, werden aktive Bereiche 100 und 100a so festgelegt, dass sie mit einem bestimmten Intervall in einem Halbleitersubstrat von erstem Leitungstyp asymmetrisch ausgebildet werden. Ein Teilbereich mit Ausnahme der aktiven Bereiche 100 und 100a ist ein Feldbereich (Bauteil-Isolierschicht), und er wird durch einen Grabenisolierprozess hergestellt.

Wie es in Fig. 11b dargestellt ist, werden erste und zweite Teilwortleitungen (SWL1 und SWL2) 101 und 101a über die aktiven Bereiche 100 und 100a hinweg ausgebildet, um die aktiven Bereiche zweizuteilen.

Dabei wirkt die erste Teilwortleitung SWL1 als Gateelektrode des ersten Transistors T1, und die zweite Teilwortleitung SWL2 wirkt als Gateelektrode des zweiten Transistors T2.

Fremdstoffionen von einem Leitungstyp entgegengesetzt zu dem des Substrats werden zu beiden Seiten der ersten Teilwortleitung 101 in das Substrat implantiert, um erste Source/Drain-Fremdstoffbereiche zu bilden. Gleichzeitig werden diese Fremdstoffionen zu beiden Seiten der zweiten Teilwortleitung 101a in das Substrat implantiert, um zweite Source/Drain-Fremdstoffbereiche zu bilden.

Anschließend werden, wie es in Fig. 11c dargestellt ist, eine erste Kontaktpfropfschicht 102 und eine zweite Kontaktpfropfschicht 102a hergestellt. Die erste Kontaktpfropfschicht 102 ist mit dem ersten Drainfremdstoffbereich verbunden, und sie erstreckt sich bis in ein Gebiet, in dem eine erste Bitleitung hergestellt werden soll. Die zweite Kontaktpfropfschicht 102a ist mit dem zweiten Drainfremdstoffbereich verbunden, und sie erstreckt sich bis in ein Gebiet, in dem eine zweite Bitleitung hergestellt werden soll.

Anders gesagt, werden, da die Bitleitungen auf der Bauteil-Isolierschicht zwischen dem aktiven Bereich 100 und 100a hergestellt werden, die auf den aktiven Bereichen hergestellten ersten und zweiten Kontaktpfropfschichten 102

und 102a so strukturiert, dass sie sich bis zur Bauteil-Isolierschicht erstrecken.

Wie es in Fig. 11d dargestellt ist, wird eine erste Bitleitung (B/L1) 103 auf einer Seite des ersten aktiven Bereichs 91 so hergestellt, dass sie elektrisch mit der ersten Kontaktpfropfschicht 102 verbunden ist; und eine zweite Bitleitung (B/L2) 103a wird auf einer Seite des zweiten aktiven Bereichs 91a so hergestellt, dass sie elektrisch mit der zweiten Kontaktpfropfschicht 102a verbunden ist.

Wie es in Fig. 11e dargestellt ist, werden eine dritte Kontaktpfropfschicht 104 und eine vierte Kontaktpfropfschicht 104a hergestellt. Die dritte Kontaktpfropfschicht 104 ist elektrisch mit dem ersten Sourcefremdstoffbereich verbunden, und die vierte Kontaktpfropfschicht 104a ist mit dem zweiten Sourcefremdstoffbereich verbunden.

Anschließend wird, wie es in Fig. 11f dargestellt ist, eine erste Kontaktfleckschicht 105 so hergestellt, dass sie elektrisch mit der dritten Kontaktpfropfschicht 104 und einer unteren Elektrode des ersten ferroelektrischen Kondensators FC1, der später hergestellt wird, elektrisch verbunden ist. Gleichzeitig wird eine zweite Kontaktfleckschicht 105a so hergestellt, dass sie mit der vierten Kontaktpfropfschicht 104a und einer unteren Elektrode des zweiten ferroelektrischen Kondensators FC2, der später hergestellt wird, elektrisch verbunden ist.

Dabei wird für die erste und zweite Kontaktfleckschicht 105 und 105a ein Metall wie Polysilicium oder Wolfram (W) verwendet.

Wie es in Fig. 11g dargestellt ist, wird auf der zweiten Teilwortleitung 101a eine erste Barrieremetallschicht 106 (nicht dargestellt) so hergestellt, dass sie elektrisch mit der zweiten Kontaktfleckschicht 105a verbunden ist. Eine zweite Barrieremetallschicht 106a (nicht dargestellt) wird auf der ersten Teilwortleitung 101 so hergestellt, dass sie elektrisch mit der ersten Kontaktfleckschicht 105 verbunden ist und auf den ersten und zweiten Bitleitungen 103 und 103a überlappt.

Dabei wird, nach dem Herstellen der ersten und zweiten Kontaktfleckschichten 105 und 105a, eine Isolierschicht (vierte Isolierschicht) auf der gesamten Oberfläche hergestellt, und dann wird ein Graben ausgebildet, um die erste und zweite Kontaktfleckschicht 105 und 105a freizulegen (nicht dargestellt).

Danach werden die untere Elektrode 107 des ersten ferroelektrischen Kondensators und die untere Elektrode 107a des zweiten ferroelektrischen Kondensators entlang der Unterseite und der beiden Seiten des Grabens so hergestellt, dass sie mit der ersten bzw. zweiten Barrieremetallschicht verbunden sind.

Wie es in Fig. 11h dargestellt ist, wird auf der gesamten Fläche einschließlich der unteren Elektroden 107 und 107a des ersten und zweiten ferroelektrischen Kondensators ein ferroelektrischer Film hergestellt. Der erste und zweite ferroelektrische Film 108 und 108a werden auf der ersten bzw. zweiten Teilwortleitung strukturiert.

Wie es in Fig. 11i dargestellt ist, wird eine obere Elektrode 109 des ersten ferroelektrischen Kondensators auf dem ersten ferroelektrischen Film 108 entsprechend der unteren Elektrode des ersten ferroelektrischen Kondensators hergestellt, und eine obere Elektrode 109a des zweiten ferroelektrischen Kondensators wird auf dem zweiten ferroelektrischen Film 108a entsprechend der unteren Elektrode 107a des zweiten ferroelektrischen Kondensators hergestellt.

Dann wird eine Metallschicht so hergestellt, dass sie die obere Elektrode 109 des ersten ferroelektrischen Kondensators mit der zweiten Teilwortleitung 101a und die obere Elektrode 109a des zweiten ferroelektrischen Kondensators

mit der ersten Teilwortleitung **101** verbindet. Im Ergebnis ist das Layoutdesign des erfindungsgemäßen Speichers abgeschlossen.

Nun wird ein Verfahren zum Herstellen dieses Speichers gemäß dem oben genannten Layoutprozess unter Bezugnahme auf die Fig. 12a bis 12j beschrieben.

Fig. 12a ist eine Schnittansicht entlang der Linie I-I' in Fig. 11a. Ein Graben wird in einem vorbestimmten Bereich eines Halbleitersubstrats **120** von erstem Leitungstyp ausgebildet, um eine im Graben eingebettete Bauteil-Isolierschicht **121** herzustellen.

Fig. 12b ist eine Schnittansicht entlang der Linie I-I' in Fig. 11b. Eine erste Isolierschicht **122** wird auf dem Substrat hergestellt, in dem aktive Bereiche ausgebildet sind. Auf der ersten Isolierschicht **122** wird Polysilicium abgeschieden und dann strukturiert, um erste und zweite Teilwortleitungen (SWL1 und SWL2) **101** und **101a** auszubilden.

Fremdstoffionen mit einem Leitungstyp entgegengesetzt zu dem des Substrats werden zu beiden Seiten der ersten und zweiten Teilwortleitungen **101** und **101a** in die aktiven Bereiche implantiert, um erste und zweite Source/Drain-Fremdstoffbereiche **123** und **124** auszubilden (nicht dargestellt).

Die erste Teilwortleitung (SWL1) **101** wirkt als Gateelektrode des ersten Transistors **C1**, und die zweite Teilwortleitung (SWL2) **101a** wirkt als Gateelektrode des zweiten Transistors **C2**.

Auf der ersten und zweiten Teilwortleitung **101** und **101a** wird ein Material mit niedrigem Widerstand wie Wolfram (W) abgeschieden, um den Flächenwiderstand für Gateelektroden zu senken.

Fig. 12c ist eine Schnittansicht entlang der Linie I-I' in Fig. 11c. Auf der gesamten Fläche des Substrats einschließlich der ersten und zweiten Teilwortleitungen **101** und **101a** wird eine zweite Isolierschicht **125** abgeschieden, die dann durch einen Prozess mit chemisch-mechanischem Polieren (CMP) eingeebnet wird.

Anschließend wird die zweite Isolierschicht **125** selektiv entfernt, um den ersten Drainfremdstoffbereich **124** freizulegen, damit ein Kontaktloch ausgebildet wird. In das Kontaktloch wird ein leitendes Material wie Polysilicium oder Wolfram eingebettet, um eine erste Kontaktpfropfschicht (**102**) und eine zweite Kontaktpfropfschicht (nicht dargestellt) auszubilden.

Die erste Kontaktpfropfschicht **102** wirkt zum elektrischen Verbinden der ersten Bitleitung, die später hergestellt wird, mit dem ersten Drainfremdstoffbereich **124**, und sie erstreckt sich bis in einen Teilbereich, in dem die Bitleitung hergestellt wird, um mit dieser verbunden zu werden.

Fig. 12d ist eine Schnittansicht entlang der Linie I-I' in Fig. 11d. Auf der gesamten Fläche einschließlich der ersten Kontaktpfropfschicht **102** wird ein Metall zum Herstellen der Bitleitung abgeschieden, das dann strukturiert wird, um eine erste Bitleitung **103** und eine zweite Bitleitung **103a** (nicht dargestellt) auszubilden.

In der Zeichnung ist nur die erste Bitleitung **103** dargestellt, und diese ist über die erste Kontaktpfropfschicht **102** elektrisch mit dem ersten Drainfremdstoffbereich **124** verbunden.

Dabei werden die erste und zweite Bitleitung **103** und **103a** so strukturiert, dass sie nur auf der Bauteil-Isolierschicht **121** verbleiben. Auf der gesamten Fläche einschließlich der ersten Bitleitung **103** wird eine dritte Isolierschicht **126** hergestellt, die dann durch einen CMP-Prozess eingeebnet wird.

Fig. 12e ist eine Schnittansicht entlang der Linie I-I' in Fig. 11e. Die dritte Isolierschicht **126** und die zweite Isolierschicht **125** werden selektiv entfernt, um den ersten Source-

fremdstoffbereich **123** freizulegen, damit ein Kontaktloch ausgebildet wird. Im Kontaktloch wird ein Metall wie Wolfram eingebettet, um eine dritte Kontaktpfropfschicht **104** und eine vierte Kontaktpfropfschicht **104a** (nicht dargestellt) auszubilden.

Fig. 12f ist eine Schnittansicht entlang der Linie I-I' in Fig. 11f. Auf der gesamten Fläche einschließlich der dritten und vierten Kontaktpfropfschicht **104** und **104a** wird ein Metall wie Wolfram abgeschieden. Dann wird eine erste Kontaktfleckschicht **105** hergestellt, die mit der dritten Kontaktpfropfschicht **104** verbunden ist, und es wird eine zweite Kontaktfleckschicht **105a** (nicht dargestellt) hergestellt, die mit der vierten Kontaktpfropfschicht verbunden ist.

Dabei werden die erste und zweite Kontaktfleckschicht **105** und **105a** entlang den ersten und zweiten Bitleitungen **103** und **103a** mit vorbestimmter Breite hergestellt.

Danach wird die vierte Isolierschicht **107** auf der gesamten Fläche einschließlich der ersten Kontaktfleckschicht **105** dick abgeschieden und durch einen CMP-Prozess eingeebnet.

Fig. 12g ist eine Schnittansicht entlang der Linie I-I' in Fig. 11g. Die vierte Isolierschicht **127** wird selektiv entfernt, um die erste Kontaktfleckschicht **105** so freizulegen, dass ein Graben ausgebildet ist.

Auf der gesamten Fläche einschließlich des Grabens werden eine erste Barrieremetallschicht **106**, die elektrisch mit der ersten Kontaktfleckschicht **105** zu verbinden ist, und eine zweite Barrieremetallschicht **106a**, die elektrisch mit der zweiten Kontaktfleckschicht **105a** zu verbinden ist, hergestellt.

Dabei wird die zweite Barrieremetallschicht **106a** so hergestellt, dass sie mit der ersten Bitleitung **103** und der zweiten Bitleitung überlappt.

Auf den Barrieremetallschichten **106** und **106a** wird ein Metall für eine andere Elektrode des ferroelektrischen Kondensators abgeschieden und dann strukturiert, um eine untere Elektrode **107** des ersten ferroelektrischen Kondensators sowie eine untere Elektrode **107a** (nicht dargestellt) des zweiten ferroelektrischen Kondensators auszubilden.

Beim Herstellen der unteren Elektroden **107** und **107a** des ersten und zweiten ferroelektrischen Kondensators wird auf der vierten Isolierschicht **127** ein Graben ausgebildet, und die untere Elektrode des ferroelektrischen Kondensators wird entlang der Unterseite des Grabens zu beiden Seiten desselben hergestellt. Daher ist es möglich, das untere Elektrodennmaterial des ferroelektrischen Kondensators auf einfache Weise auszubilden.

Fig. 12h ist eine Schnittansicht entlang der Linie I-I' in Fig. 11h. Auf der gesamten Fläche einschließlich der unteren Elektroden **107** und **107a** des ferroelektrischen Kondensators wird ein Photoresist oder Siliciumoxid wie Silikat-auf-Glas (SOG) abgeschieden.

Anschließend wird die gesamte Oberfläche geätzt, bis die Oberfläche der vierten Isolierschicht **127** freigelegt ist. Dann verbleibt der Photoresist oder das SOG auf den unteren Elektroden **107** und **107a** des ersten und zweiten ferroelektrischen Kondensators innerhalb des Grabens.

Anschließend wird der Photoresist oder das SOG entfernt, und auf der gesamten Oberfläche wird ein ferroelektrischer Film abgeschieden und dann strukturiert, um in einem der ersten Teilwortleitung **103** entsprechenden Abschnitt einen ersten ferroelektrischen Film **108** und in einem der zweiten Teilwortleitung **103a** entsprechenden Abschnitt einen zweiten ferroelektrischen Film **108a** auszubilden.

Fig. 12i ist eine Schnittansicht entlang der Linie I-I' in Fig. 11i. Auf der gesamten Fläche einschließlich der ersten und zweiten ferroelektrischen Filme **108** und **108a** wird ein

Material für die obere Elektrode des ferroelektrischen Kondensators hergestellt und dann strukturiert, um eine obere Elektrode 109 des ersten ferroelektrischen Kondensators auf dem ersten ferroelektrischen Film 108 über der unteren Elektrode 107 des ersten ferroelektrischen Kondensators sowie eine obere Elektrode 109a des zweiten ferroelektrischen Kondensators auf dem zweiten ferroelektrischen Film 108a über der unteren Elektrode 107a des zweiten ferroelektrischen Kondensators herzustellen.

Die obere Elektrode 109 des ersten ferroelektrischen Kondensators ist in einem Umfangsgebiet, nicht in einem Zellengebiet, mit der zweiten Teilwortleitung 103a verbunden. Dann wird eine Metallschicht (nicht dargestellt) so hergestellt, dass sie die obere Elektrode 109a des zweiten ferroelektrischen Kondensators mit der ersten Teilwortleitung 103 elektrisch verbindet. Im Ergebnis ist das Verfahren zum Herstellen des Speichers abgeschlossen.

Wie oben angegeben, verfügen der nichtflüchtige ferroelektrische Speicher und das Herstellungsverfahren für diesen gemäß der Erfindung über die folgenden Vorteile.

Bei der Erfindung wird ein Graben durch Ätzen der Isolierschicht hergestellt, ohne dass ein Elektrodenmaterial des ferroelektrischen Kondensators direkt geätzt wird, und der ferroelektrische Kondensator wird im Graben hergestellt. Daher ist es möglich, das Material der unteren Elektrode des Kondensators dick auszubilden, um dadurch die Schnittfläche des Kondensators zu erhöhen.

Außerdem ist es einfach, das Designlayout zu erstellen, da der ferroelektrische Kondensator auf einer Teilwortleitung hergestellt wird. Ein derartig effizientes Layoutdesign kann zu einer Verringerung der Zellgröße führen.

Patentansprüche

1. Nichtflüchtiger ferroelektrischer Speicher mit:
 - ersten und zweiten Teilwortleitungen (101, 101a), die mit einem bestimmten Intervall in einer Richtung ausgebildet sind;
 - ersten und zweiten Bitleitungen (103, 103a), die die ersten und zweiten Teilwortleitungen schneidend mit einem bestimmten Intervall ausgebildet sind;
 - ersten und zweiten Source/Drain-Fremdstoffbereichen (123/124, 123a/124a), die jeweils zu beiden Seiten der ersten und zweiten Teilwortleitungen ausgebildet sind;
 - einem ersten ferroelektrischen Kondensator (FC1), der auf der zweiten Teilwortleitung ausgebildet ist und eine mit dem ersten Sourcefremdstoffbereich (123) elektrisch verbundene untere Elektrode (107) und eine mit der zweiten Teilwortleitung (101a) verbundene obere Elektrode (109) aufweist; und
 - einem zweiten ferroelektrischen Kondensator (FC2), der auf der ersten Teilwortleitung (101) ausgebildet ist und eine mit dem zweiten Sourcefremdstoffbereich (123a) elektrisch verbundene untere Elektrode (107a) und eine mit der ersten Teilwortleitung (101) verbundene obere Elektrode (109a) aufweist.
2. Speicher nach Anspruch 1, dadurch gekennzeichnet, dass der erste Drainfremdstoffbereich (124) und der zweite Drainfremdstoffbereich (124a) über eine erste Kontaktpfropfschicht (102) und eine zweite Kontaktpfropfschicht (102a) mit der ersten Bitleitung (103) bzw. der zweiten Bitleitung (103a) elektrisch verbunden sind.
3. Speicher nach Anspruch 2, dadurch gekennzeichnet,

net, dass die erste Kontaktpfropfschicht (102) und die zweite Kontaktpfropfschicht (102a) auf dem ersten bzw. zweiten Drainfremdstoffbereich ausgebildet sind und sie sich jeweils in Abschnitte erstrecken, in denen die erste und zweite Bitleitung (103, 103a) herzustellen sind.

4. Speicher nach einem der vorstehenden Ansprüche, dadurch gekennzeichnet, dass Kontaktfleckschichten (105, 105a) und Barrieremetallschichten (106, 106a) sequenziell zwischen dem ersten ferroelektrischen Kondensator (FC1) und dem ersten Sourcefremdstoffbereich (123) sowie zwischen dem zweiten ferroelektrischen Kondensator (FC2) und dem zweiten Sourcefremdstoffbereich (123a) abgeschieden sind.

5. Nichtflüchtiger ferroelektrischer Speicher mit:
 - ersten und zweiten aktiven Bereichen (91, 91a), die asymmetrisch mit einem bestimmten Intervall ausgebildet sind;
 - ersten und zweiten Teilwortleitungen (101, 101a), die über die ersten und zweiten aktiven Bereiche hinweg ausgebildet sind;
 - ersten und zweiten Kontaktpfropfschichten (102, 102a), die auf den einen Seiten der ersten und zweiten Teilwortleitungen mit den ersten bzw. zweiten aktiven Bereichen verbunden sind und sich jeweils in Abschnitte erstrecken, in denen erste und zweite Bitleitungen (103, 103a) herzustellen sind;
 - ersten und zweiten Bitleitungen, die mit der ersten bzw. der zweiten Kontaktpfropfschicht verbunden sind und über die ersten und zweiten Teilwortleitungen hinweg auf den einen Seiten der ersten und zweiten aktiven Bereiche ausgebildet sind;
 - Kontaktfleckschichten (105, 105a), die mit den ersten und zweiten aktiven Bereichen auf den anderen Seiten der ersten und zweiten Teilwortleitungen verbunden sind;
 - unteren Elektroden (107, 107a) der ersten und zweiten ferroelektrischen Kondensatoren, die mit den Kontaktfleckschichten verbunden sind und auf den zweiten und ersten Teilwortleitungen (101a, 101) ausgebildet sind;
 - einem ferroelektrischen Film (108) des ersten ferroelektrischen Kondensators, der auf der zweiten Teilwortleitung (101a) einschließlich der unteren Elektrode (107) des ersten ferroelektrischen Kondensators hergestellt ist;
 - einem ferroelektrischen Film (108a) des zweiten ferroelektrischen Kondensators, der auf der ersten Teilwortleitung (100) einschließlich der unteren Elektrode (107a) des zweiten ferroelektrischen Kondensators hergestellt ist;
 - einer oberen Elektrode (109) des ersten ferroelektrischen Kondensators, die auf dem ferroelektrischen Film des ersten ferroelektrischen Kondensators hergestellt ist und elektrisch mit der zweiten Teilwortleitung verbunden ist; und
 - einer oberen Elektrode (109a) des zweiten ferroelektrischen Kondensators, die auf dem ferroelektrischen Film des zweiten ferroelektrischen Kondensators hergestellt ist und elektrisch mit der ersten Teilwortleitung verbunden ist.
6. Speicher nach Anspruch 5, dadurch gekennzeichnet, dass die Kontaktfleckschichten (105, 105a) aus Polysilizium oder Metall bestehen.
7. Verfahren zum Herstellen eines nichtflüchtigen ferroelektrischen Speichers, das die folgenden Schritte

aufweist:

- asymmetrisches Festlegen erster und zweiter aktiver Bereiche (91, 91a) mit einem bestimmten Intervall;
 - Herstellen erster und zweiter Teilwortleitungen über die jeweiligen aktiven Bereiche hinweg;
 - Herstellen erster und zweiter Kontaktpfropfenschichten (102, 102a), die mit den einen Seiten der aktiven Bereiche zu verbinden sind und sich jeweils in Bereiche erstrecken, in denen erste und zweite Bitleitungen herzustellen sind;
 - Herstellen erster und zweiter Bitleitungen (103, 103a), die mit den ersten bzw. zweiten Kontaktpfropfenschichten verbunden sind;
 - Herstellen einer dritten und einer vierten Kontaktpfropfenschicht (104, 104a), die mit den anderen Seiten der ersten bzw. zweiten aktiven Bereiche verbunden sind;
 - Herstellen einer unteren Elektrode (107) eines ersten ferroelektrischen Kondensators auf der zweiten Teilwortleitung, für Verbindung mit der dritten Kontaktpfropfenschicht, und Herstellen einer unteren Elektrode (107a) eines zweiten ferroelektrischen Kondensators auf der ersten Teilwortleitung;
 - Herstellen eines ersten ferroelektrischen Films (108) auf der unteren Elektrode (107) des ersten ferroelektrischen Kondensators und Herstellen eines zweiten ferroelektrischen Films (108a) auf der unteren Elektrode des zweiten ferroelektrischen Kondensators; und
 - Herstellen einer oberen Elektrode (109) des ersten ferroelektrischen Kondensators auf dem ersten ferroelektrischen Film, und Herstellen einer oberen Elektrode (109a) des zweiten ferroelektrischen Kondensators auf dem zweiten ferroelektrischen Film.
8. Verfahren nach Anspruch 7, gekennzeichnet durch den Schritt des Herstellens einer ersten Isolierschicht (122) zwischen den ersten und zweiten Teilwortleitungen und dem Substrat.
9. Verfahren nach einem der Ansprüche 7 oder 8, gekennzeichnet durch den Schritt des Herstellens einer zweiten Isolierschicht (125) zwischen den ersten und zweiten Teilwortleitungen und den ersten und zweiten Bitleitungen.
10. Verfahren nach einem der Ansprüche 7 bis 9, gekennzeichnet durch den Schritt des Herstellens einer dritten Isolierschicht (126) auf der gesamten Fläche des Substrats einschließlich der ersten und zweiten Bitleitungen, nachdem diese hergestellt wurden.
11. Verfahren nach Anspruch 10, dadurch gekennzeichnet, dass es nach dem Herstellen der dritten Isolierschicht über die folgenden Schritte verfügt:
- Ätzen der dritten Isolierschicht (126) zum Freilegen von Sourcefremdstoffbereichen der ersten und zweiten aktiven Bereiche (91 und 91a), so dass ein Kontaktloch gebildet wird;
 - Herstellen einer dritten und vierten Kontaktpfropfenschicht (104, 104a), die in das Kontaktloch eingebettet sind; und
 - Herstellen einer ersten Kontaktfleckschicht (105), die mit der dritten Kontaktpfropfenschicht (104) verbunden ist, und einer zweiten Kontaktfleckschicht (105a), die mit der vierten Kontaktpfropfenschicht (104a) verbunden ist.
12. Verfahren nach Anspruch 11, dadurch gekennzeichnet, dass nach dem Herstellen der vierten Isolier-

schicht (127) auf der gesamten Fläche einschließlich der ersten und zweiten Kontaktfleckschicht (105, 105a) die folgenden Schritte ausgeführt werden:

- Herstellen eines Grabens zum Freilegen der ersten und zweiten Kontaktfleckschicht (105, 105a);
 - Herstellen einer ersten und einer zweiten Barrieremetallschicht (106, 106a) zu beiden Seiten der freigelegten ersten und zweiten Kontaktfleckschicht im Graben und
 - Herstellen einer unteren Elektrode (107) des ersten ferroelektrischen Kondensators auf der ersten Barrieremetallschicht sowie einer unteren Elektrode (107a) des zweiten ferroelektrischen Kondensators auf der zweiten Barrieremetallschicht.
13. Verfahren nach einem der Ansprüche 7 bis 12, dadurch gekennzeichnet, dass nach dem Herstellen der oberen Elektroden (109, 109a) des ersten und zweiten ferroelektrischen Kondensators der folgende Schritt ausgeführt wird: Verbinden der oberen Elektrode (109) des ersten ferroelektrischen Kondensators mit der zweiten Teilwortleitung (101a) und Verbinden der oberen Elektrode (109a) des zweiten ferroelektrischen Kondensators mit der ersten Teilwortleitung (101).
14. Verfahren nach einem der Ansprüche 7 bis 13, dadurch gekennzeichnet, dass die erste und die zweite Kontaktpfropfenschicht (102, 102a) aus Wolfram oder Polysilicium hergestellt werden.
15. Verfahren zum Herstellen eines nichtflüchtigen ferroelektrischen Speichers mit den folgenden Schritten:
- selektives Herstellen einer Bauteil-Isolierschicht (121) auf einem Halbleitersubstrat (120) zum Festlegen eines aktiven Bereichs;
 - Herstellen erster und zweiter Teilwortleitungen (101, 101a) auf einer ersten Isolierschicht (122), die auf der aktiven Schicht und der Bauteil-Isolierschicht hergestellt wurde;
 - Herstellen erster Source/Drain-Fremdstoffbereiche (123/124) von zweitem Leitungstyp zu beiden Seiten der ersten Teilwortleitung sowie zweiter Source/Drain-Fremdstoffbereiche (123a/124a) vom zweiten Leitungstyp zu beiden Seiten der zweiten Teilwortleitung;
 - Herstellen einer zweiten Isolierschicht (125) auf der gesamten Fläche einschließlich der ersten und zweiten Teilwortleitung;
 - Herstellen einer ersten und einer zweiten Kontaktpfropfenschicht (102, 102a), die mit den ersten bzw. zweiten Drainfremdstoffbereichen (124, 124a) dadurch zu verbinden sind, dass sie durch die zweite Isolierschicht hindurchgeführt werden;
 - Herstellen einer ersten Bitleitung (103), die mit der ersten Kontaktpfropfenschicht verbunden ist, und einer zweiten Bitleitung (103a), die mit der zweiten Kontaktpfropfenschicht verbunden ist, wobei sie die ersten und zweiten Teilwortleitungen schneiden;
 - Herstellen einer dritten Isolierschicht (126) auf der gesamten Fläche einschließlich der ersten und zweiten Bitleitungen;
 - Herstellen einer dritten und einer vierten Kontaktpfropfenschicht (104, 104a), die durch Hindurchführen durch die dritte Isolierschicht mit den ersten bzw. zweiten Sourcefremdstoffbereichen verbunden sind;
 - Herstellen einer ersten und einer zweiten Kontaktfleckschicht (105, 105a), die mit der ersten bzw. vierten Kontaktpfropfenschicht verbunden

sind;

- Herstellen einer vierten Isolierschicht (127) auf der gesamten Fläche einschließlich der ersten und zweiten Kontaktfleckschicht;
- Ausbilden eines Grabens auf der vierten Isolierschicht zum Freilegen der ersten und zweiten Kontaktfleckschicht;
- Herstellen einer ersten und einer zweiten Barrieremetallschicht (106, 106a) zu beiden Seiten der freigelegten ersten und zweiten Kontaktfleckschicht und im Graben;

Herstellen einer unteren Elektrode (107) eines ersten ferroelektrischen Kondensators auf der ersten Barrieremetallschicht über der zweiten Teilwortleitung sowie einer unteren Elektrode (107a) eines zweiten ferroelektrischen Kondensators auf der zweiten Barrieremetallschicht über der ersten Teilwortleitung;

- Herstellen eines ersten und eines zweiten ferroelektrischen Films (108, 108a) auf den unteren Elektroden des ersten bzw. zweiten ferroelektrischen Kondensators; und

- Herstellen einer oberen Elektrode (109) des ersten ferroelektrischen Kondensators auf dem ersten ferroelektrischen Film sowie einer oberen Elektrode (109a) des zweiten ferroelektrischen Kondensators auf dem zweiten ferroelektrischen Film.

16. Verfahren nach Anspruch 15, dadurch gekennzeichnet, dass nach dem Herstellen der oberen Elektroden (109, 109a) des ersten und zweiten ferroelektrischen Kondensators die folgenden Schritte ausgeführt werden:

- Herstellen einer fünften Isolierschicht (128) auf der gesamten Fläche einschließlich der oberen Elektroden (109, 109a) des ersten und zweiten ferroelektrischen Kondensators;
- selektives Ätzen der fünften Isolierschicht (128) zum Freilegen der oberen Elektroden des ersten und zweiten ferroelektrischen Kondensators, so dass ein Kontaktloch ausgebildet wird; und
- elektrisches Verbinden der oberen Elektrode des ersten ferroelektrischen Kondensators mit der zweiten Teilwortleitung sowie der oberen Elektrode des zweiten ferroelektrischen Kondensators mit der ersten Teilwortleitung durch das Kontaktloch hindurch.

17. Verfahren nach Anspruch 16, dadurch gekennzeichnet, dass der Schritt des Verbindens der oberen Elektroden mit den Teilwortleitungen in einem Randgebiet ausgeführt wird.

18. Verfahren nach einem der Ansprüche 15 bis 17, dadurch gekennzeichnet, dass die erste und zweite Kontaktpfropfenschicht (102, 102a) bis in Bereiche ausgedehnt werden, in denen die ersten bzw. zweiten Bitleitungen (103, 103a) herzustellen sind.

19. Verfahren nach Anspruch 18, dadurch gekennzeichnet, dass die erste und die zweite Kontaktpfropfenschicht (102, 102a) aus Polysilicium oder Metall hergestellt werden.

20. Verfahren nach Anspruch 19, dadurch gekennzeichnet, dass das Metall Wolfram ist.

Hierzu 26 Seite(n) Zeichnungen

FIG.1
STAND DER TECHNIK

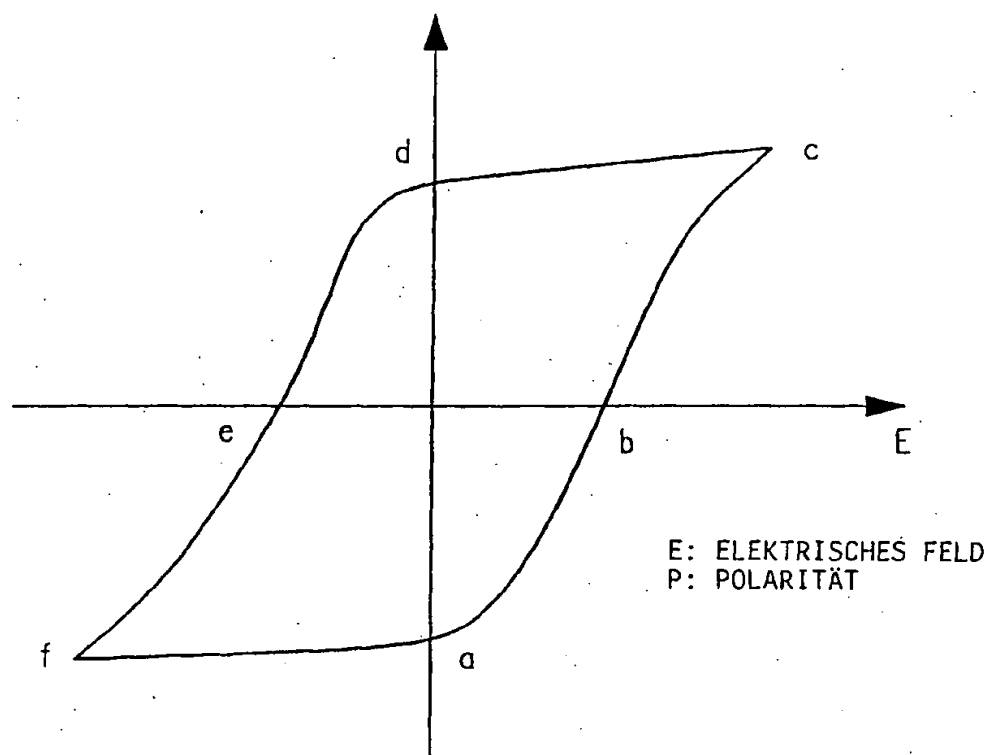


FIG.2

STAND DER TECHNIK

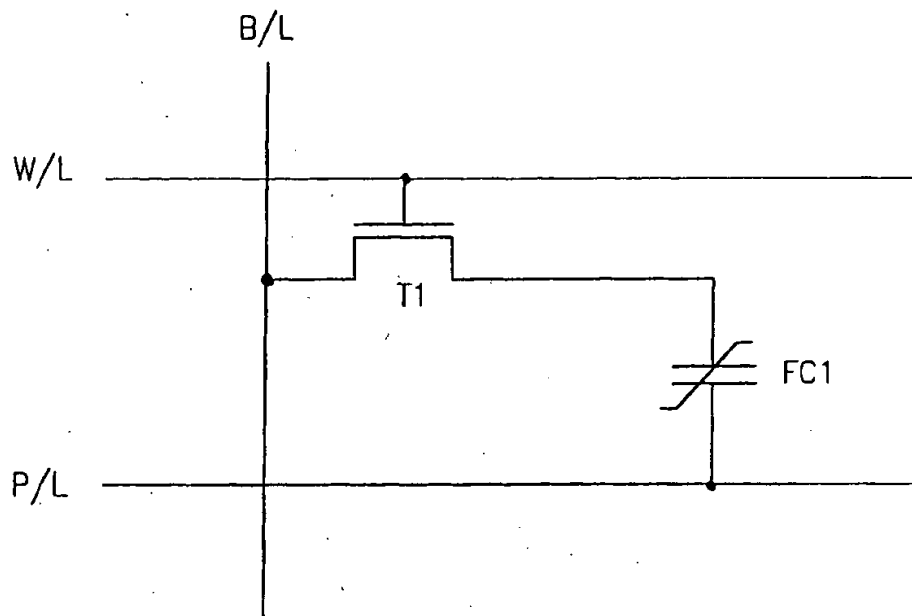


FIG. 3d

STAND DER TECHNIK

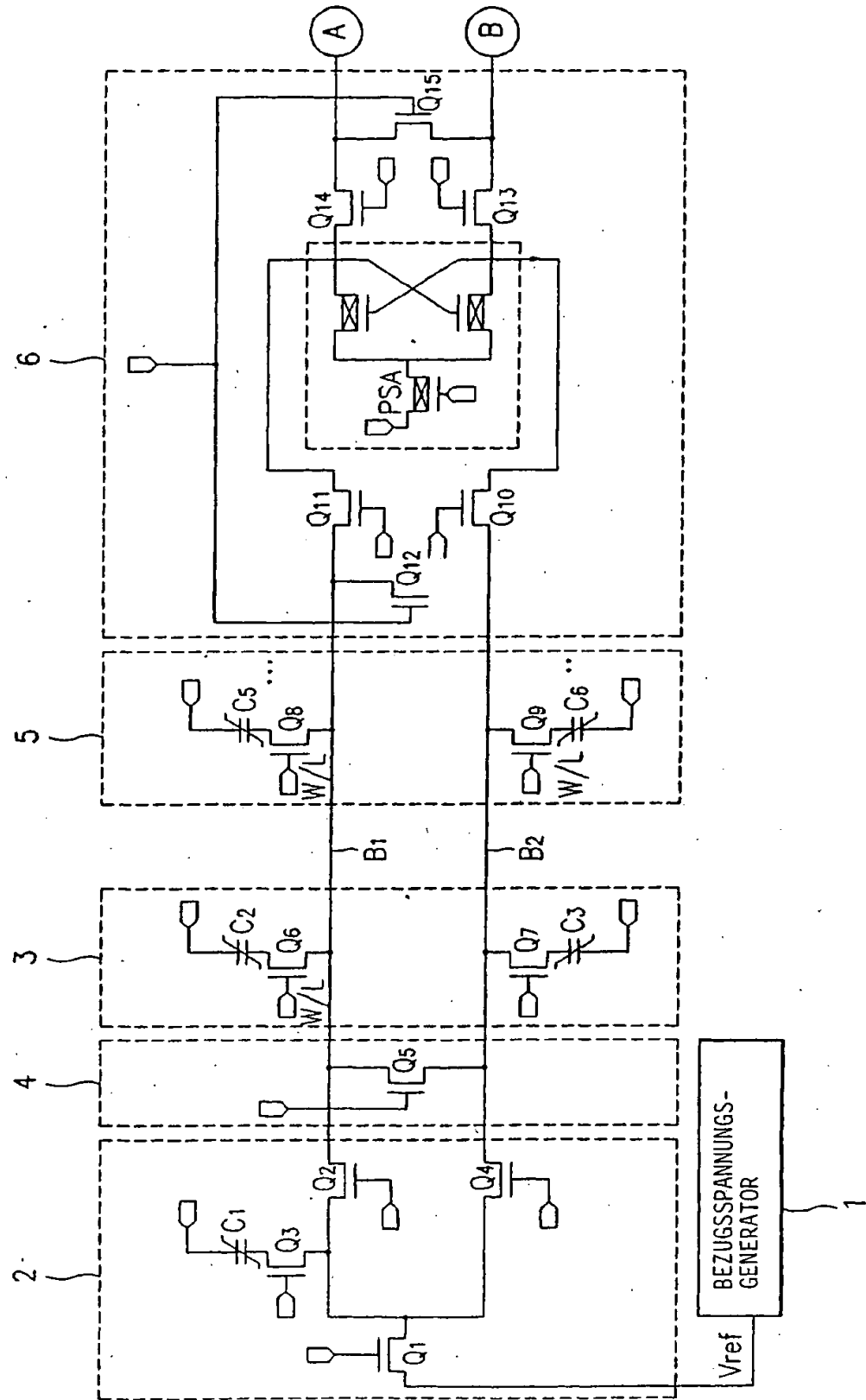


FIG. 3b
STAND DER TECHNIK

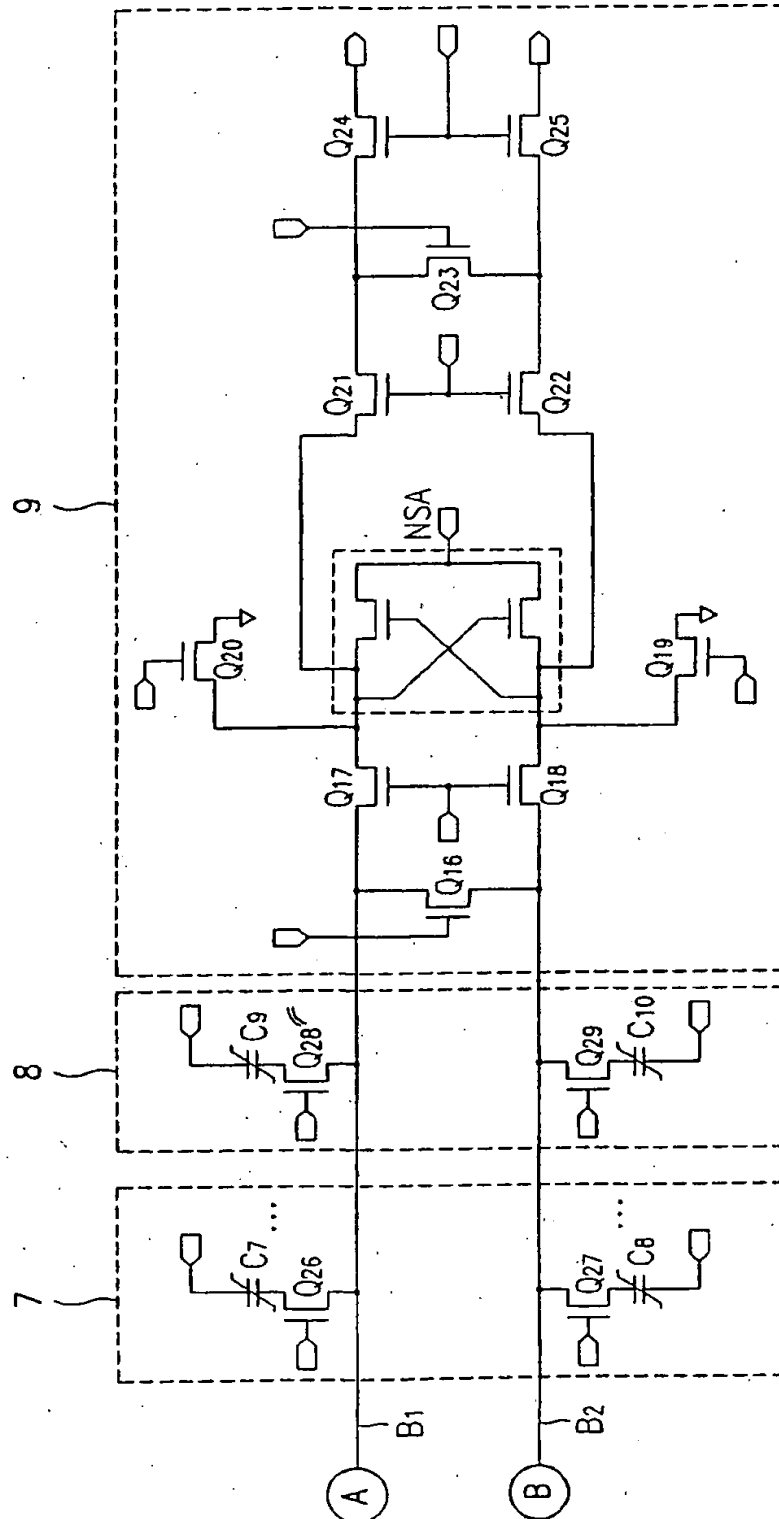


FIG. 4a
STAND DER TECHNIK

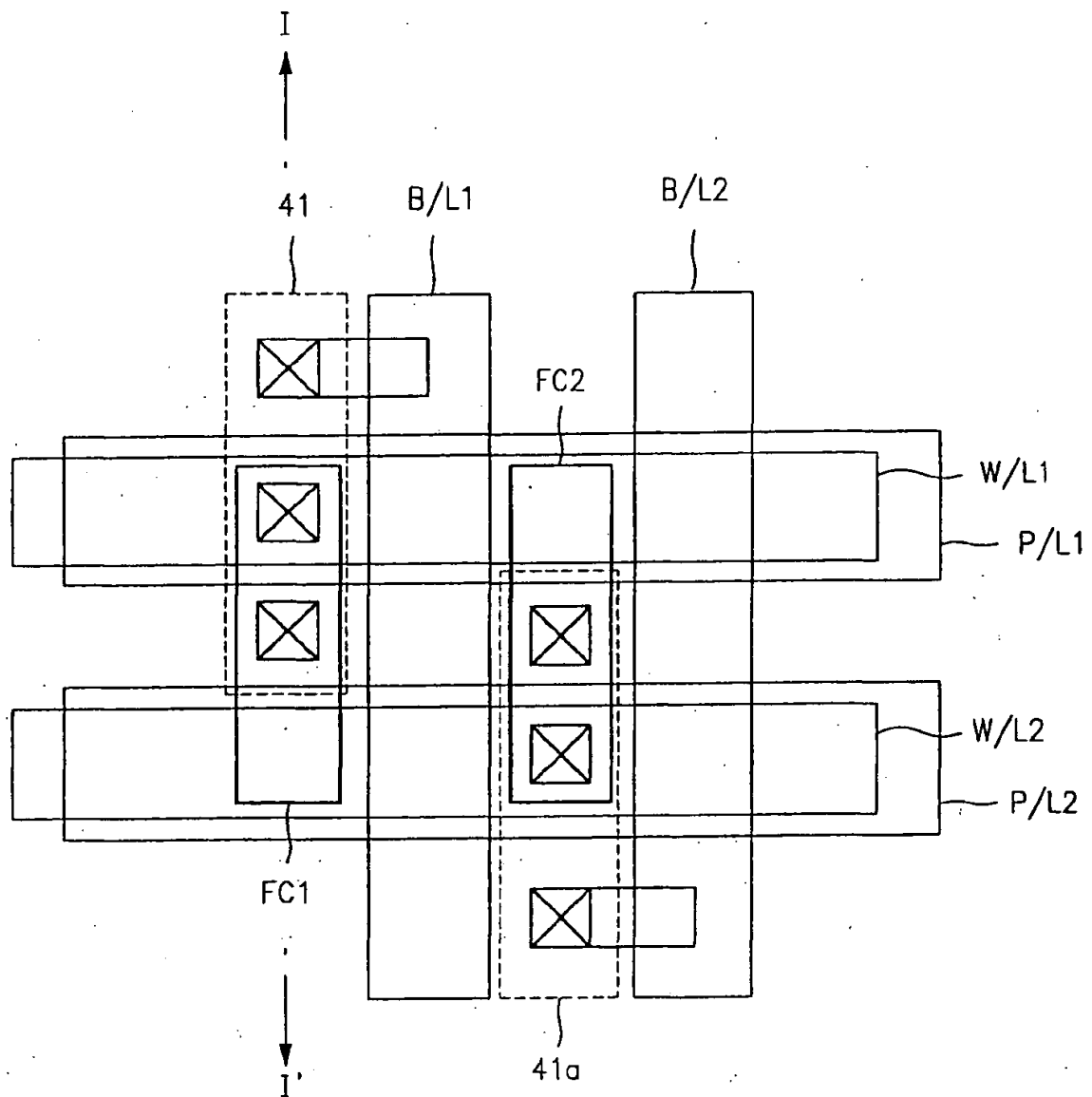


FIG. 4b

STAND DER TECHNIK

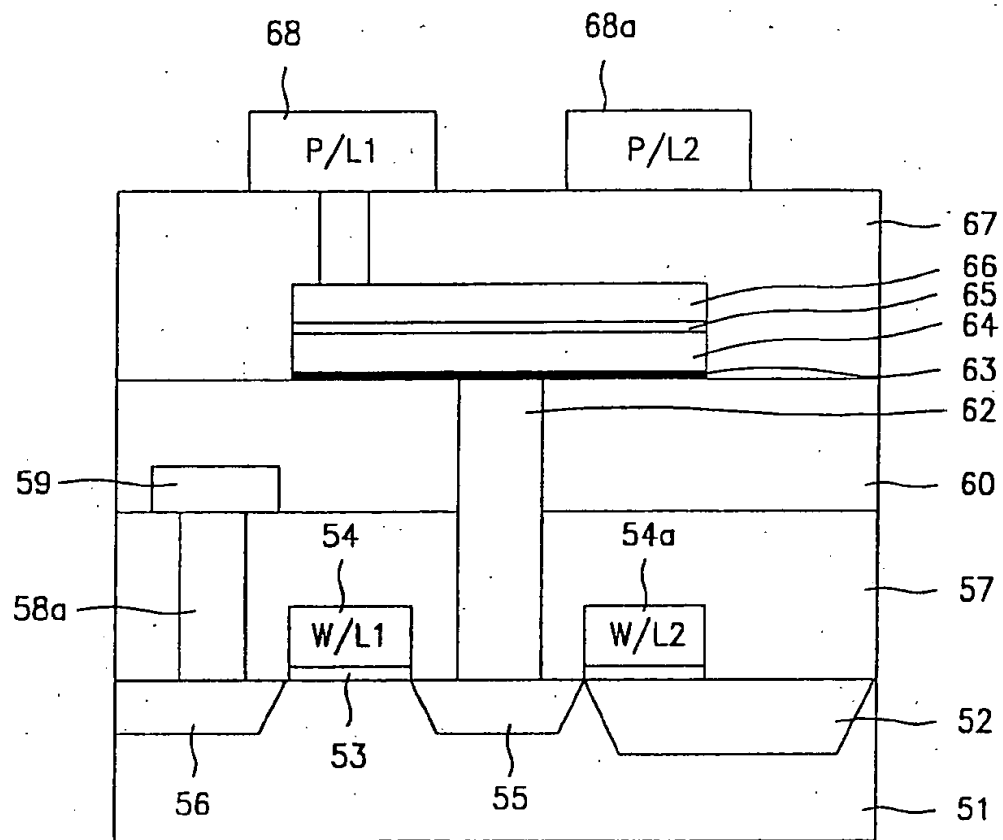


FIG.5a

STAND DER TECHNIK

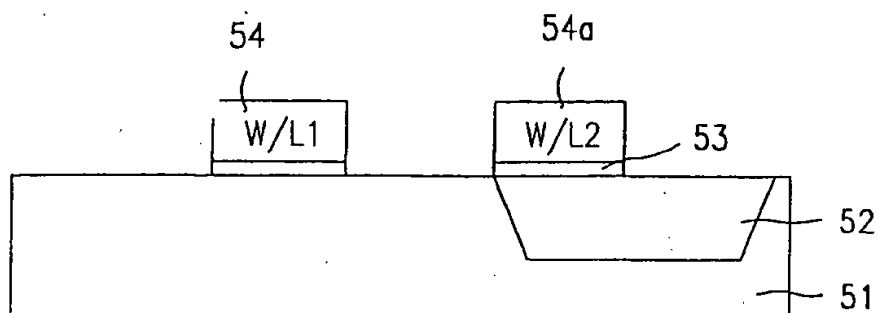


FIG.5b

STAND DER TECHNIK

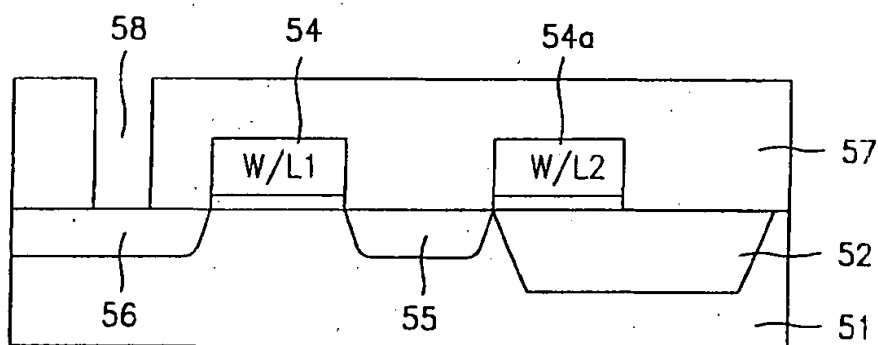


FIG.5c

STAND DER TECHNIK

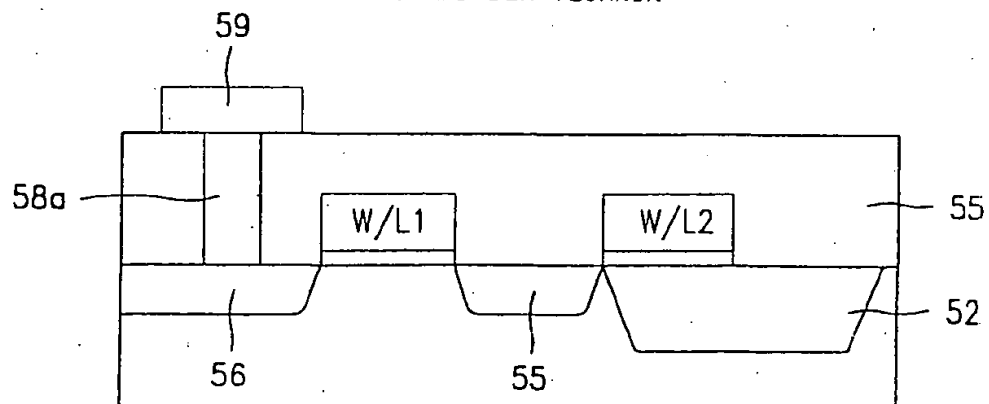


FIG.5d
STAND DER TECHNIK

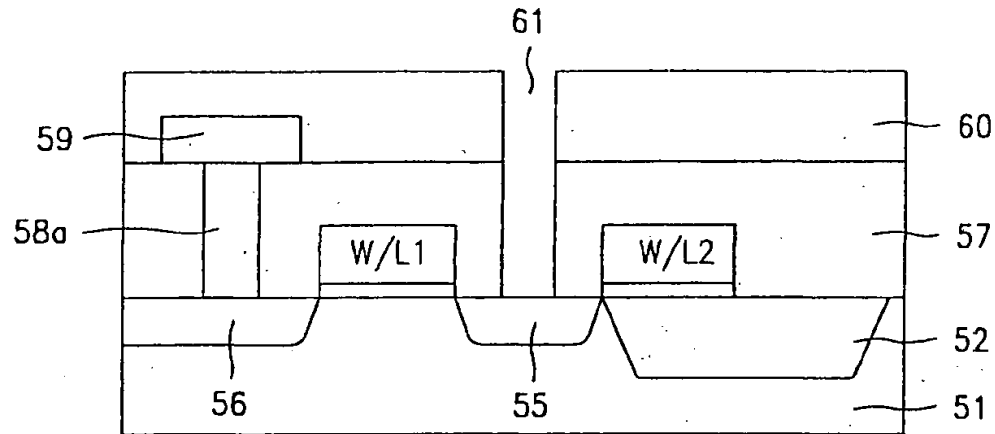


FIG.5e
STAND DER TECHNIK

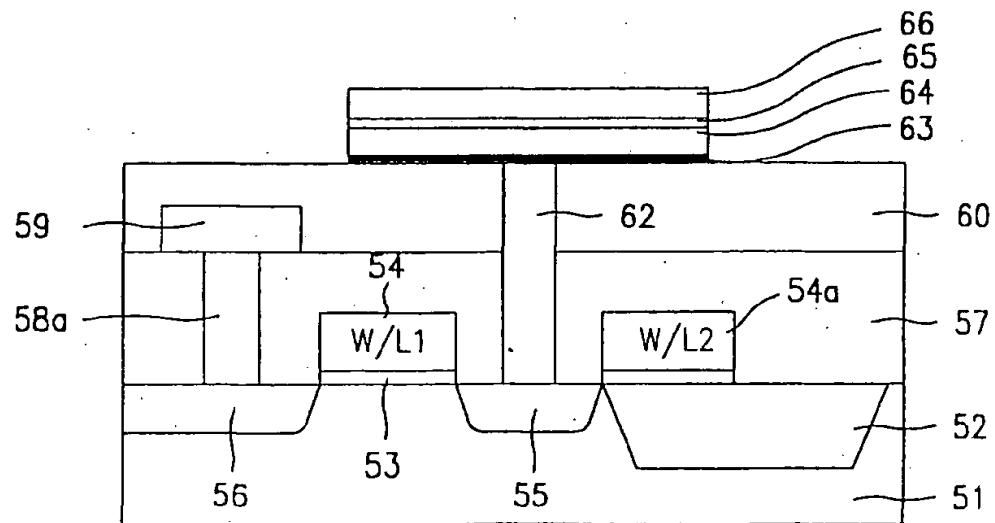


FIG. 5f

STAND DER TECHNIK

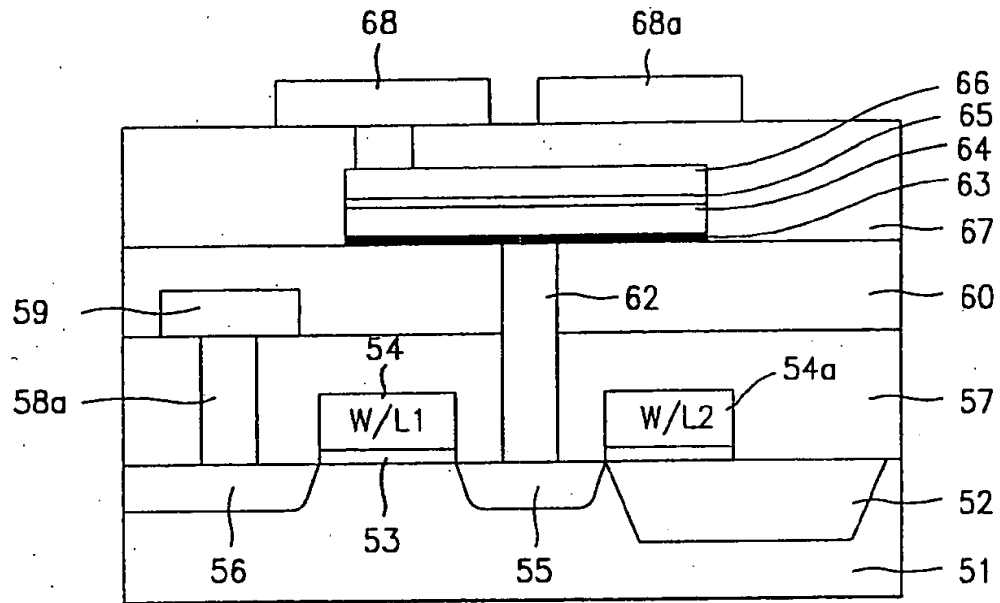


FIG.6

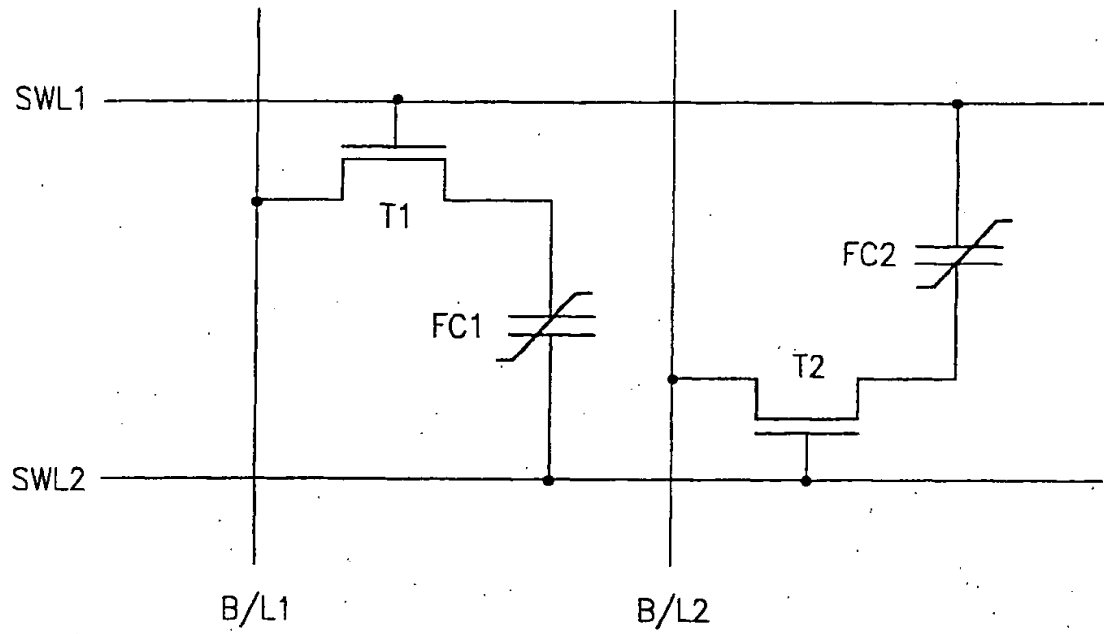


FIG.7

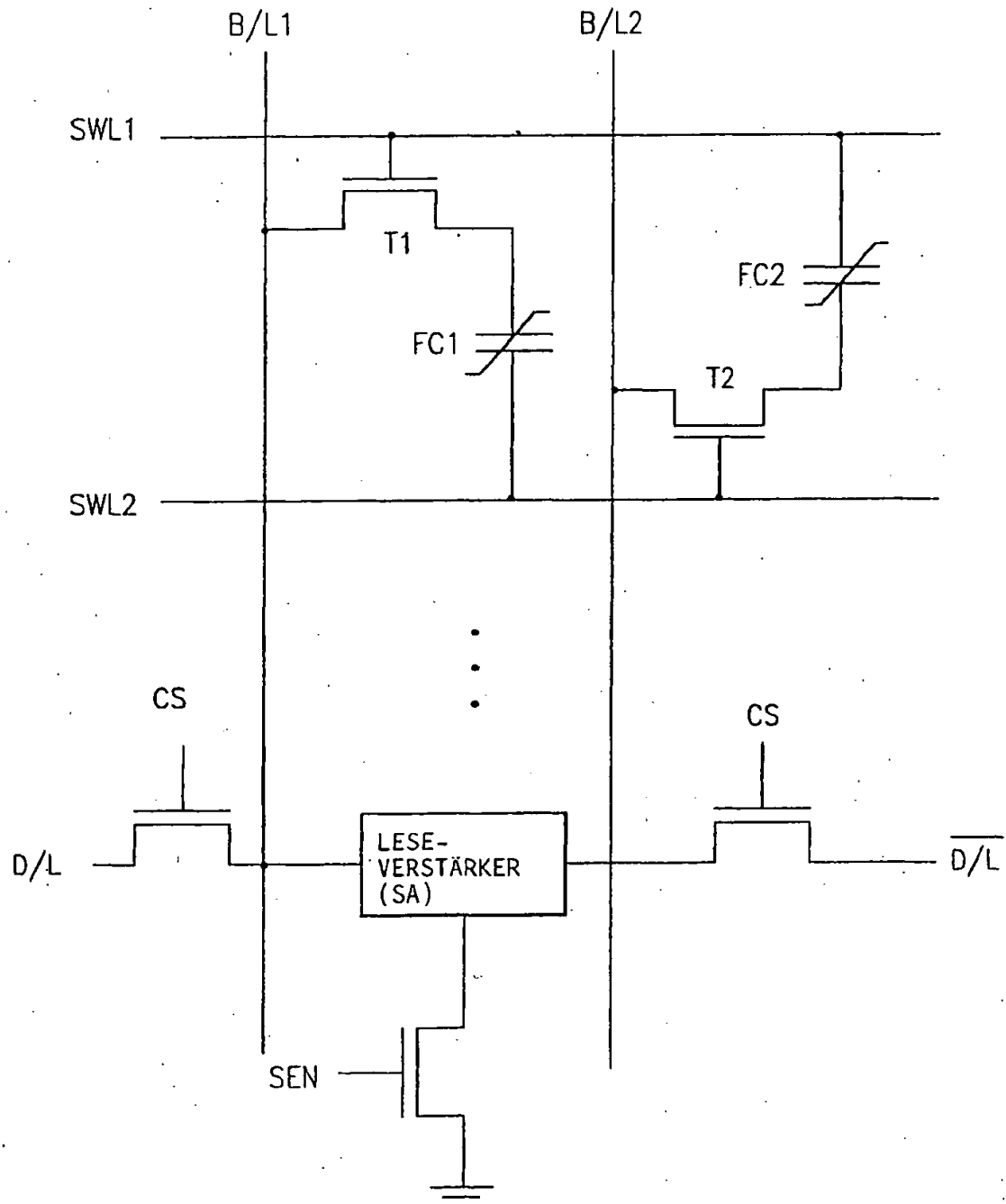


FIG.8

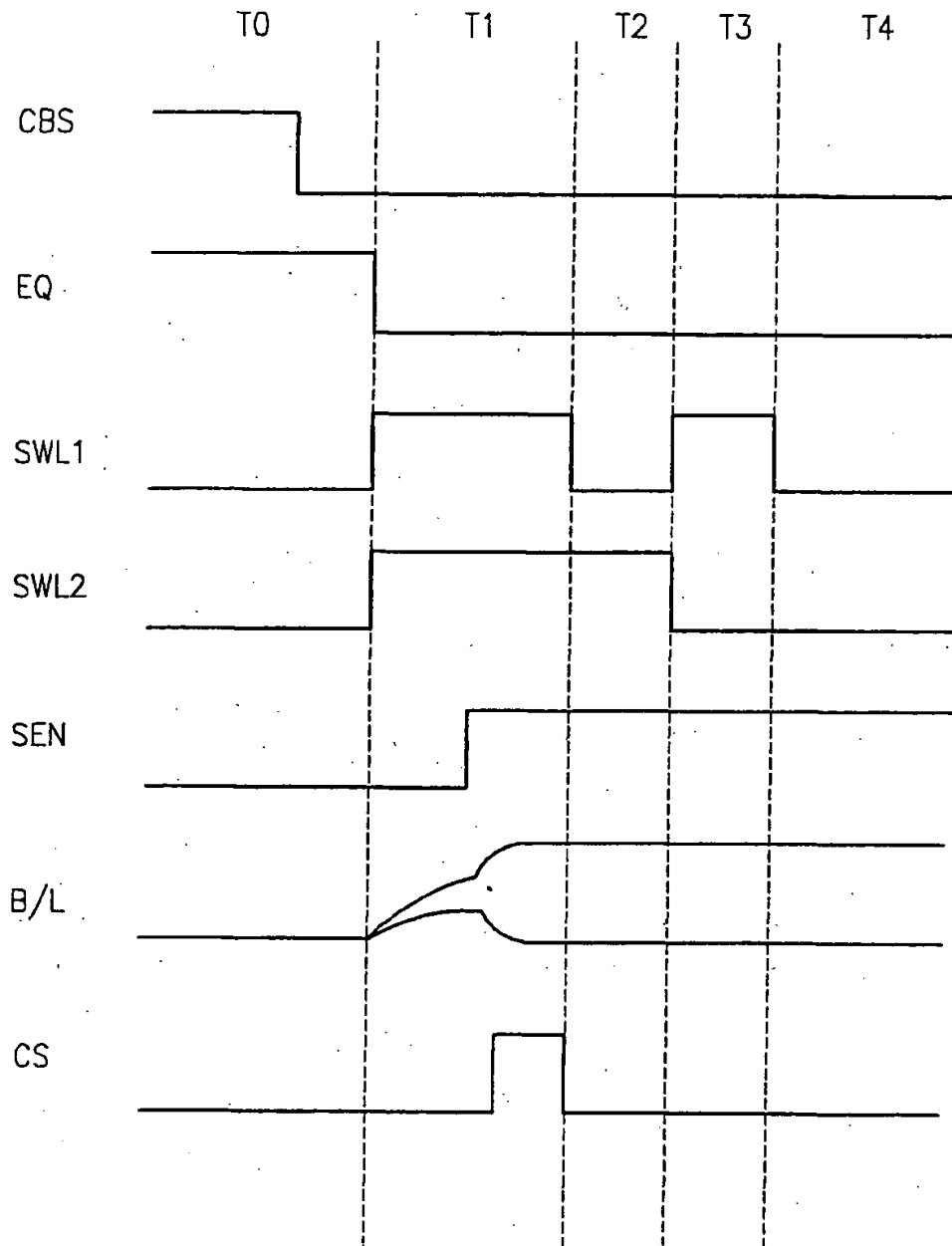


FIG.9

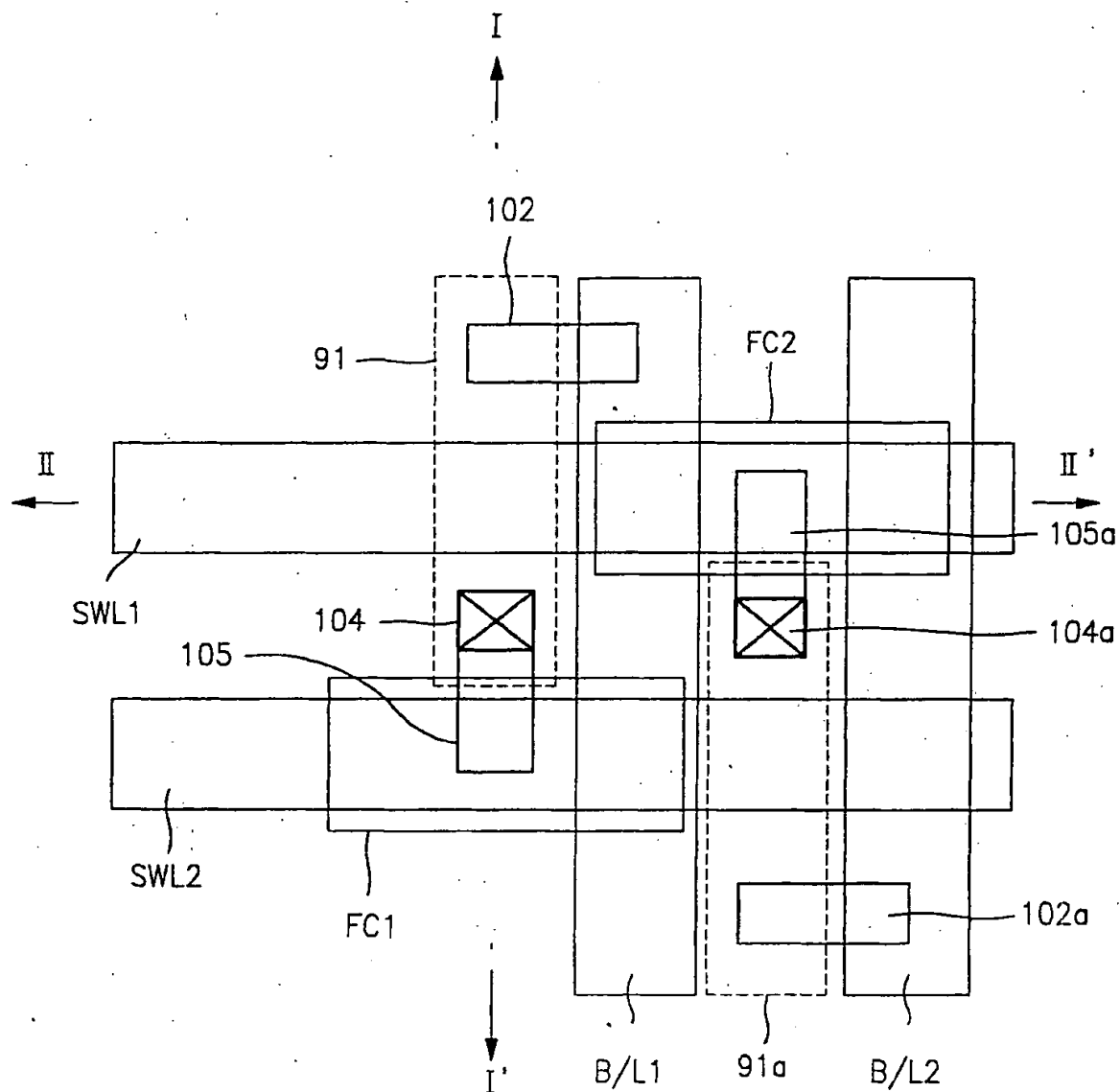


FIG.10a

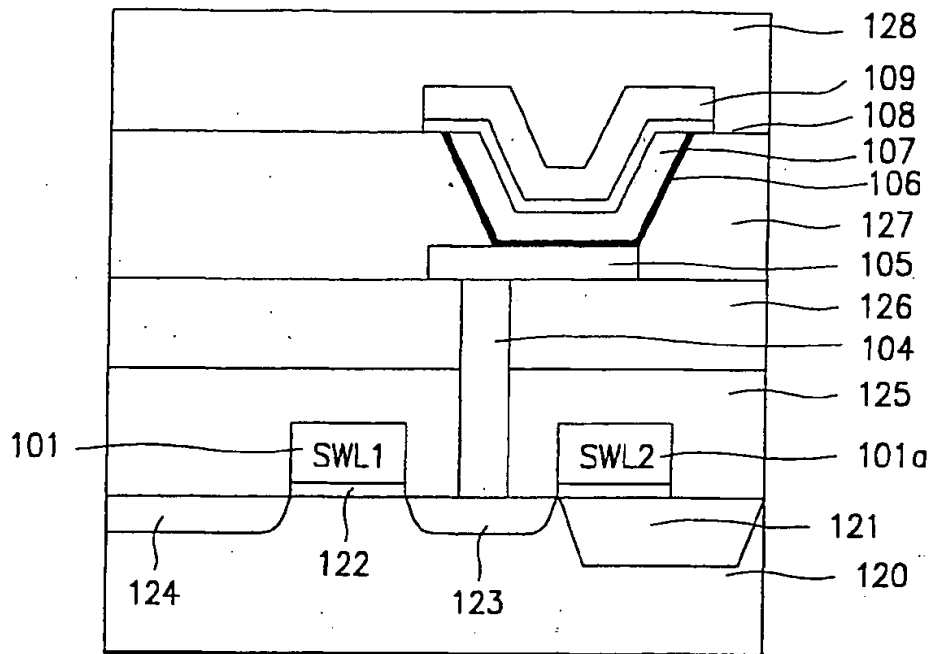


FIG.10b

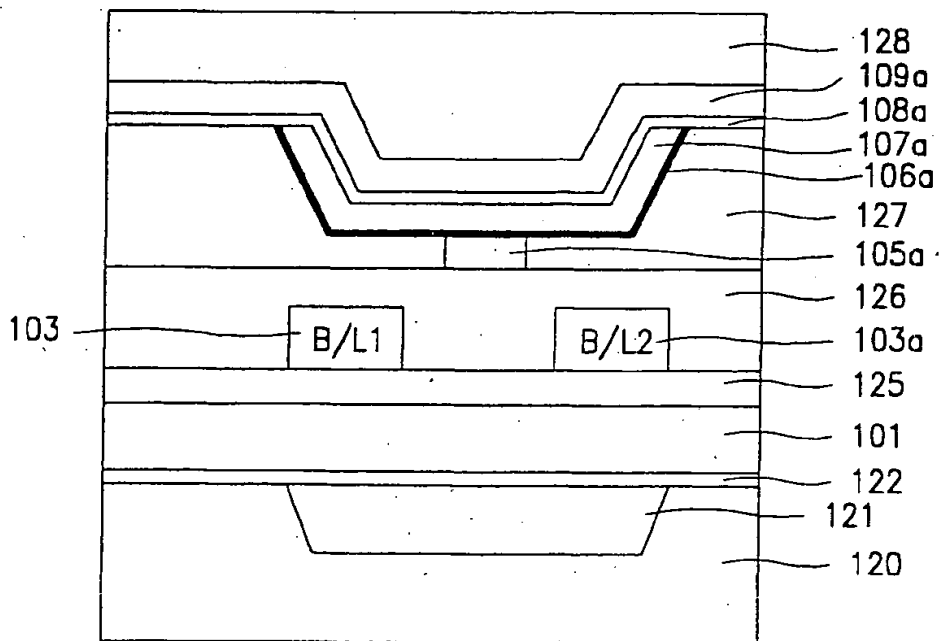


FIG. 11a

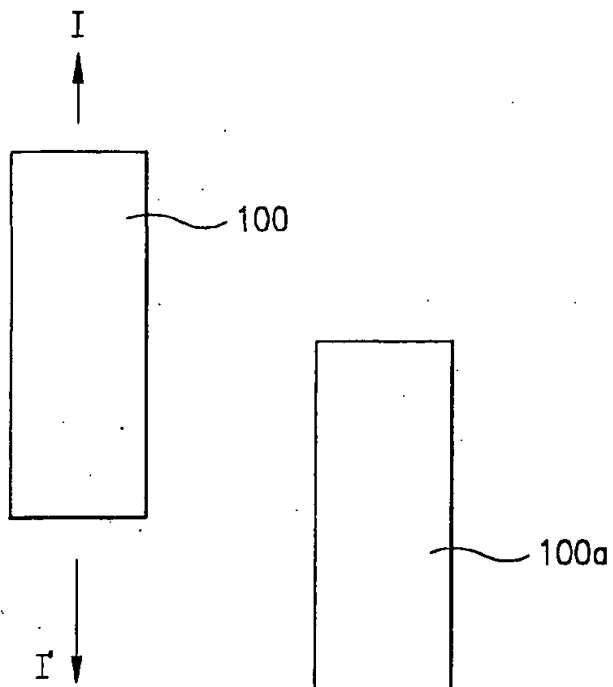


FIG. 11b

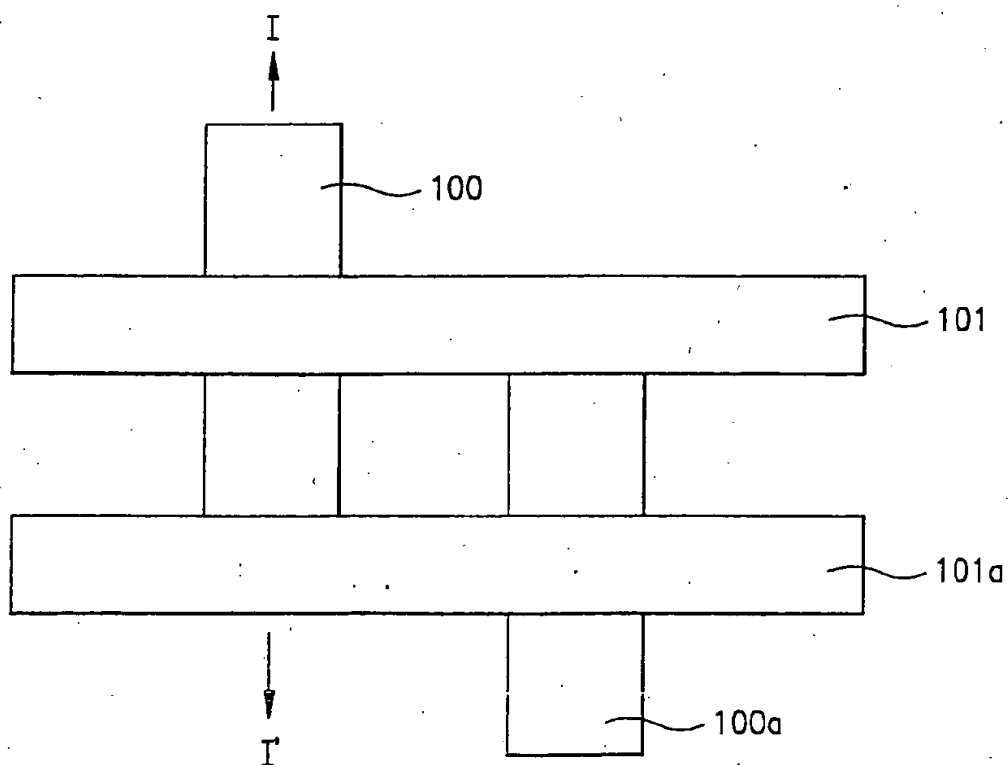


FIG.11c

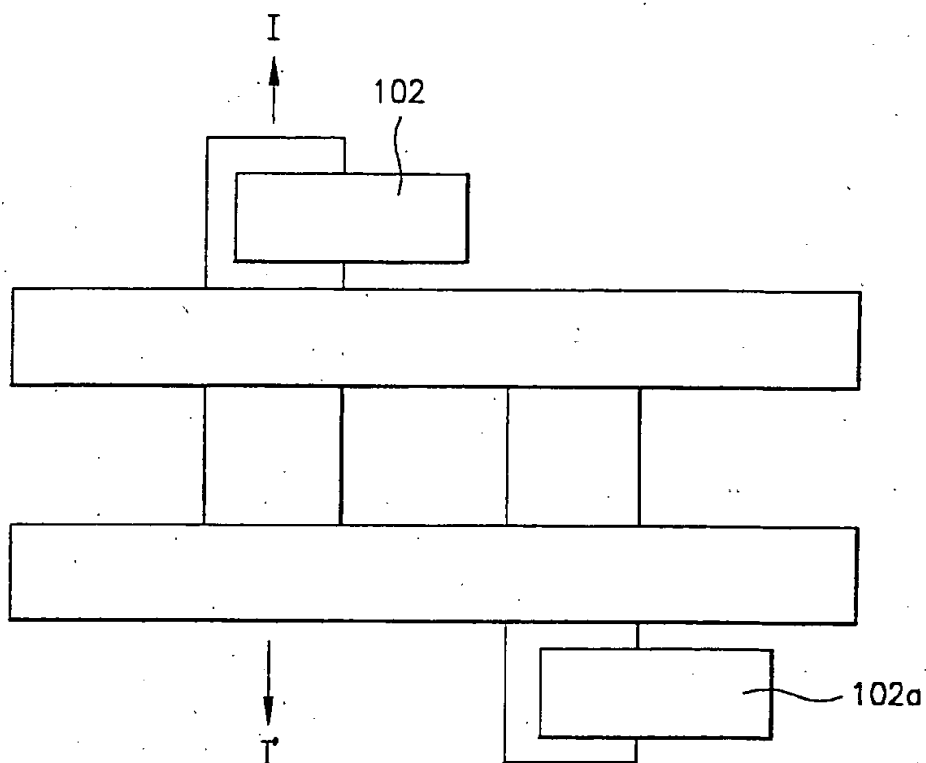


FIG. 11d

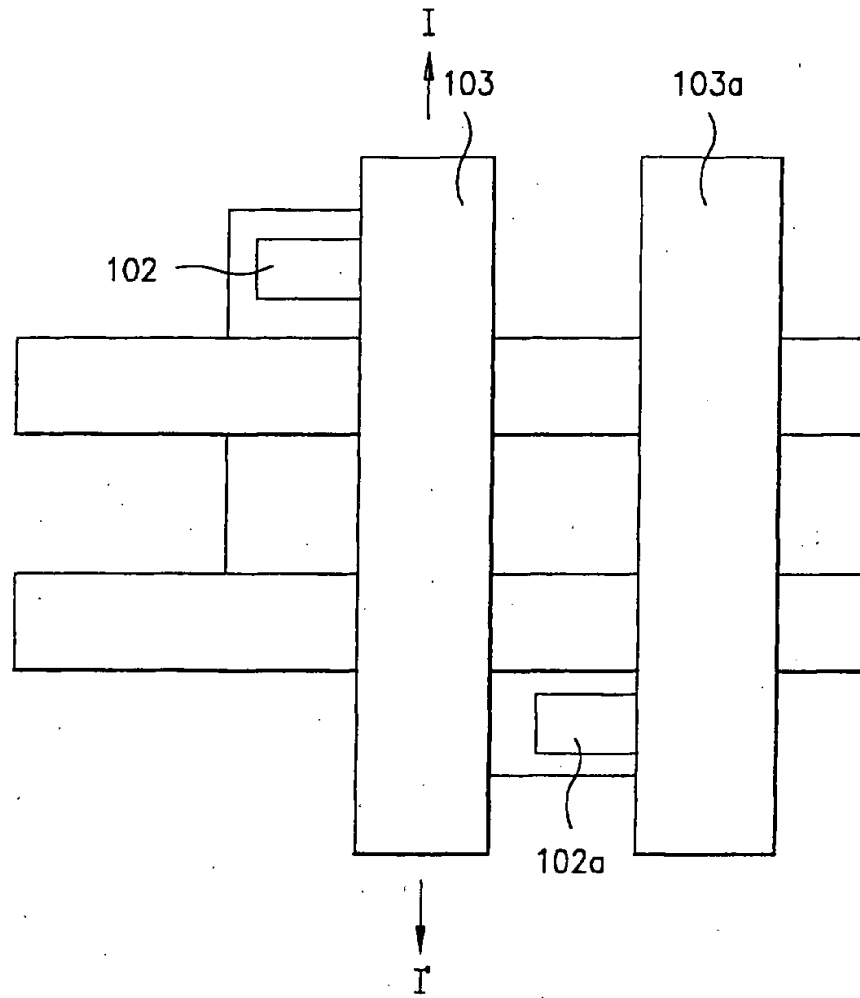


FIG.11e

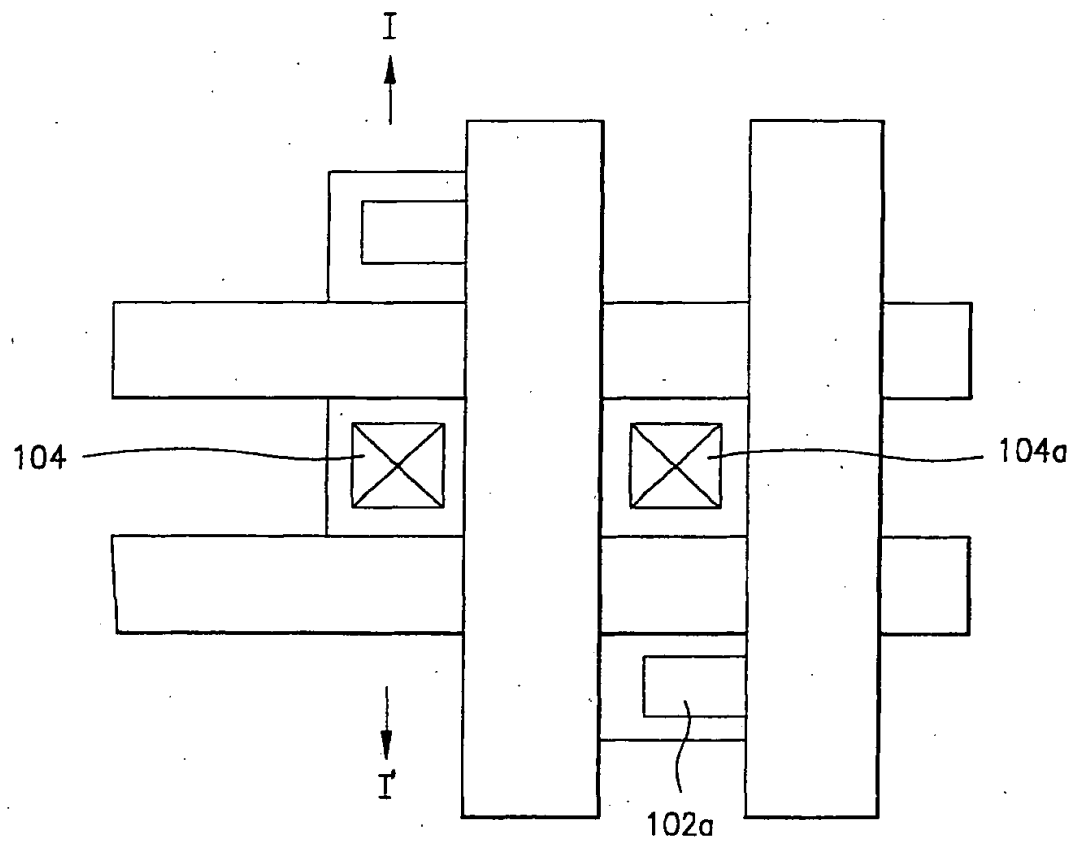


FIG. 11f

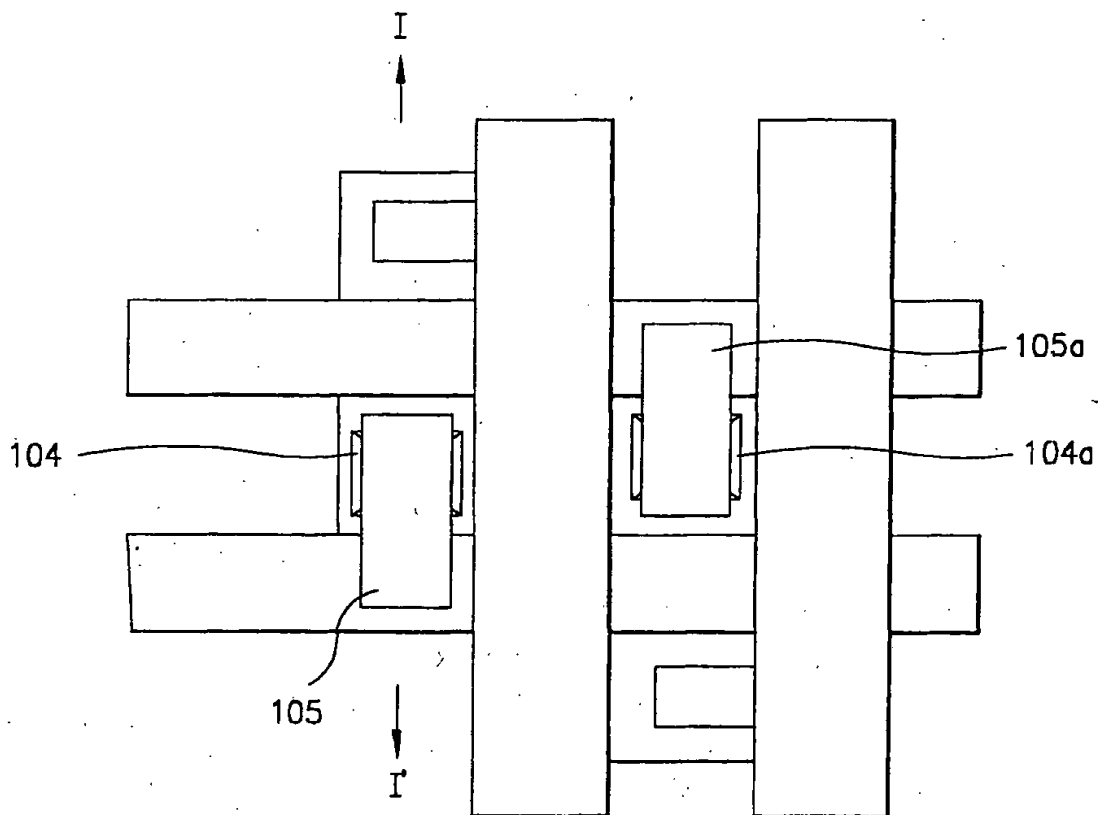


FIG.11g

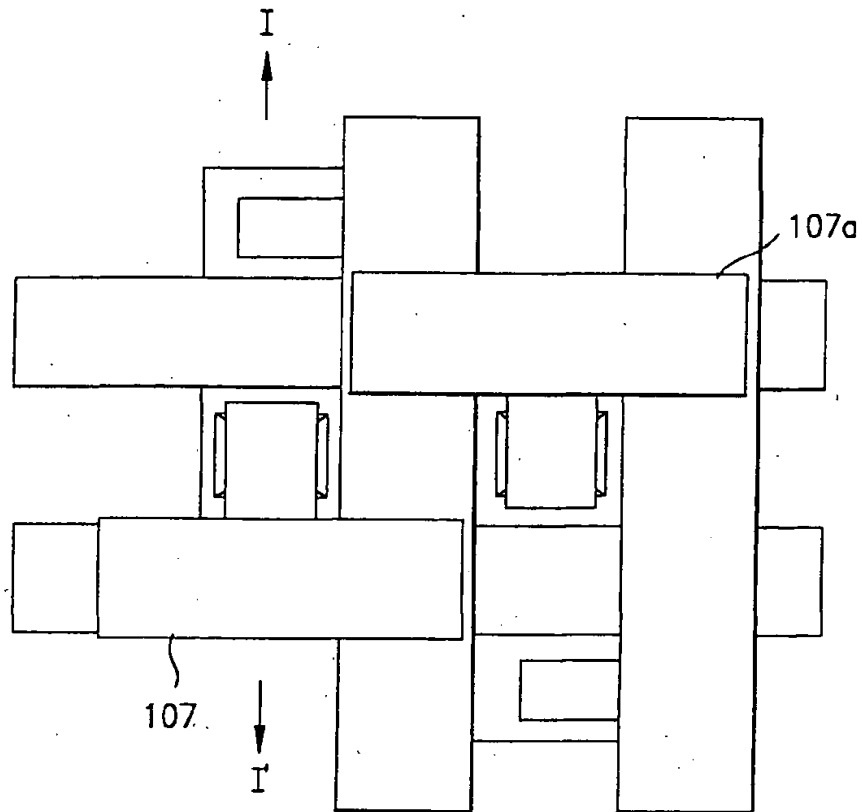


FIG.11h

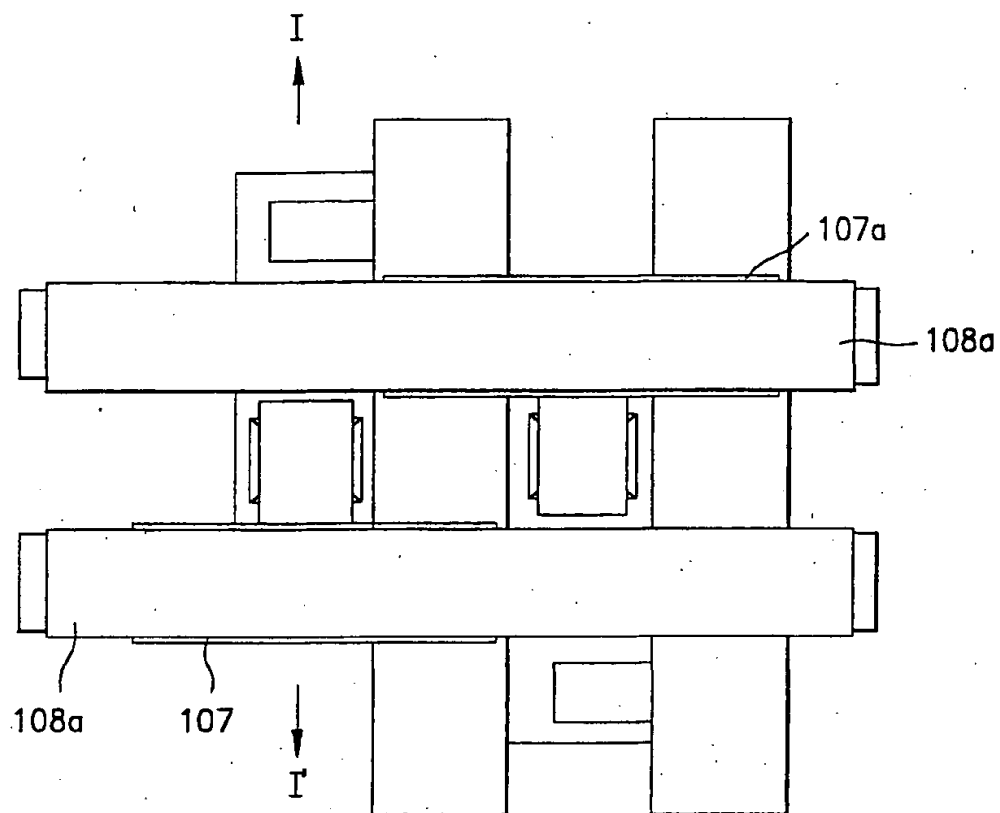


FIG. 11i

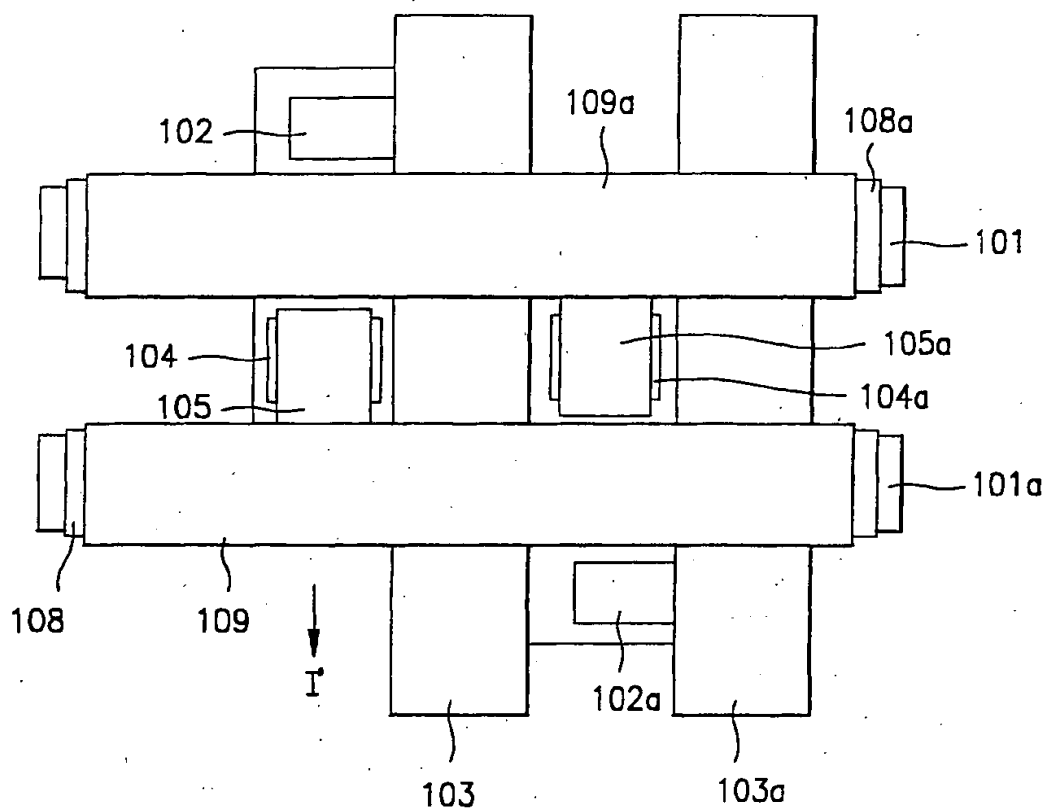


FIG.12a

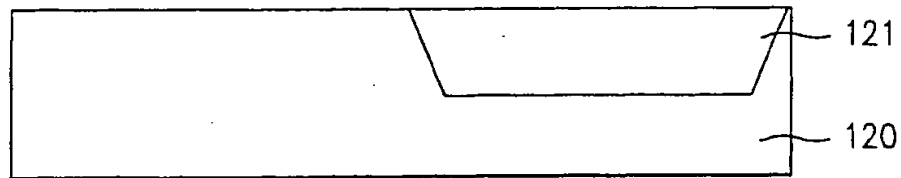


FIG.12b

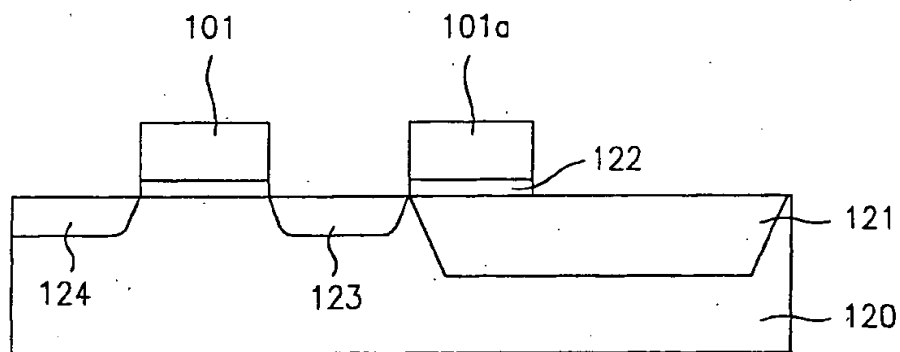


FIG.12c

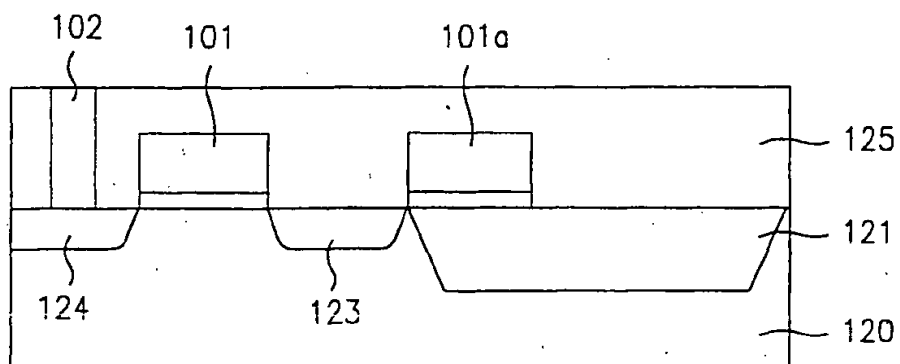


FIG.12d

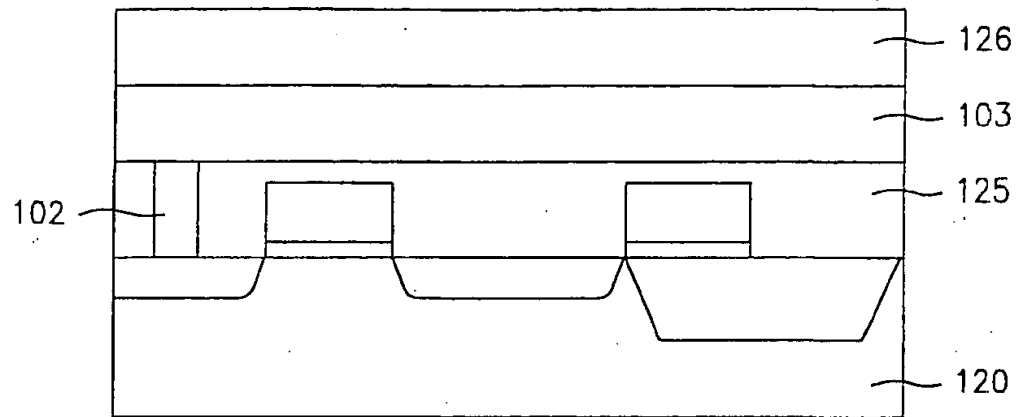


FIG.12e

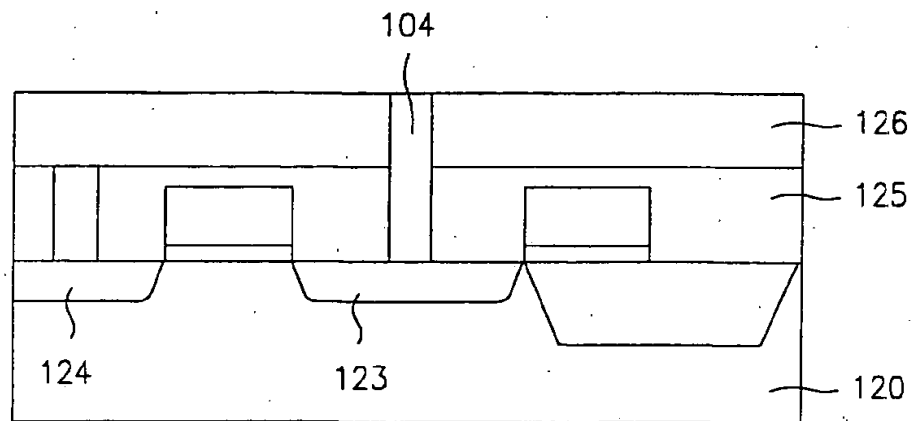


FIG.12f

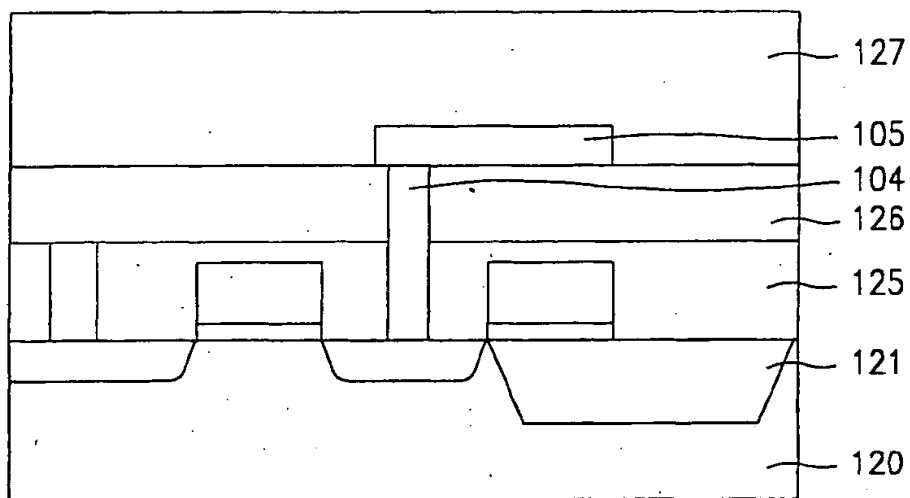


FIG.12g

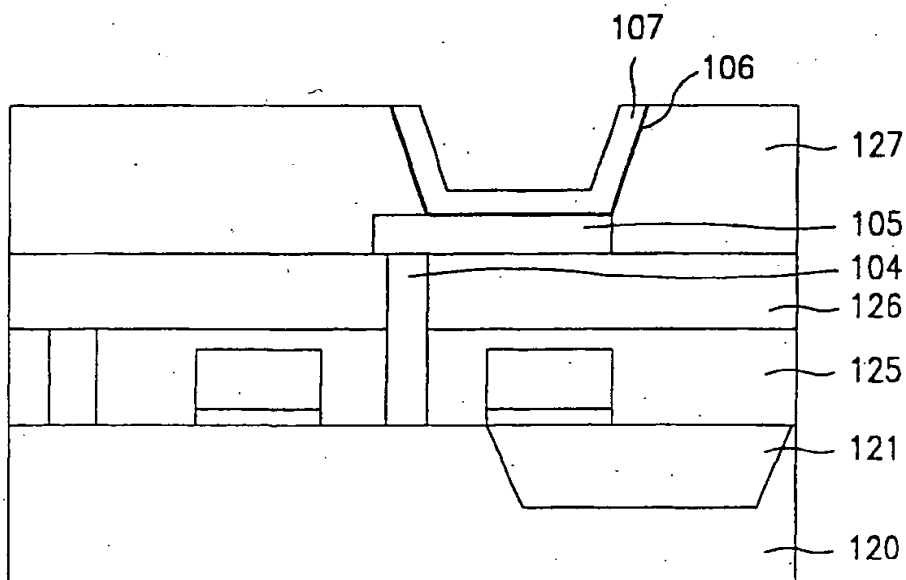


FIG. 12h

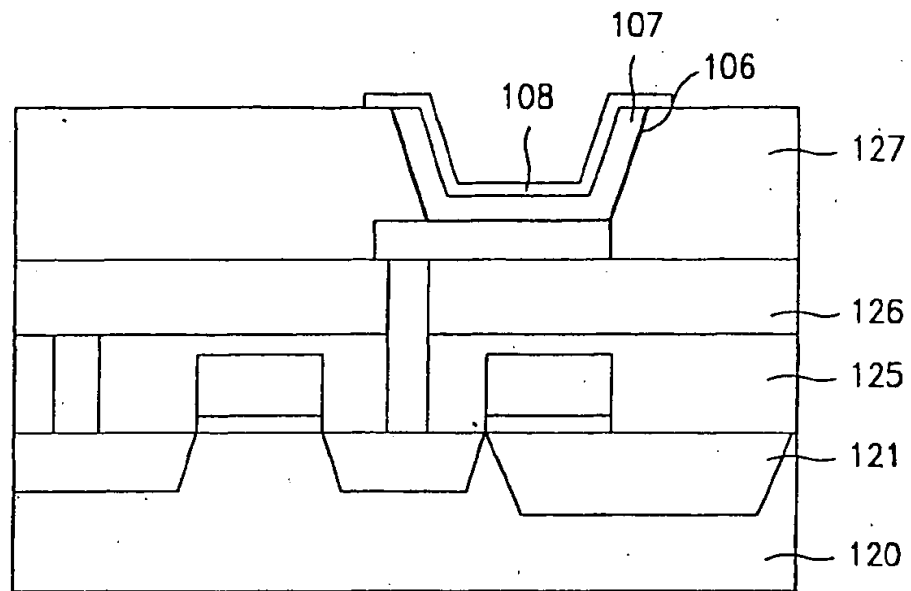


FIG. 12i

